

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232126

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H01L 21/3205

H01L 33/00

(21)Application number : 05-016153

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 03.02.1993

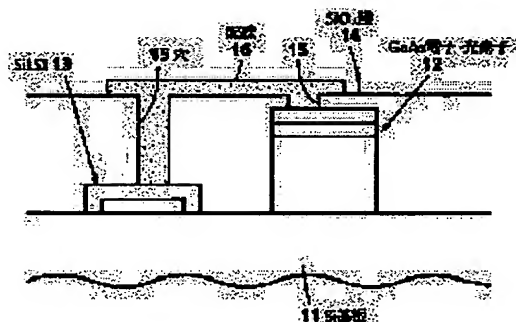
(72)Inventor : TACHIKAWA MASAMI
MORI HIDEFUMI
ITO YOSHIO
SUGO MITSURU
SASAKI TORU
KOBAYASHI FUMIHIKO

(54) COMPOSITE SEMICONDUCTOR CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a composite semiconductor circuit device of a structure, wherein an Si electronic circuit element, a group III-V elements optoelectronic circuit element and an optical wiring (a waveguide) are formed on the same substrate, and a method of manufacturing the device.

CONSTITUTION: A composite semiconductor circuit device has a group III-V elements optoelectronic element (a GaAs optoelectronic element) 12 and an Si LSI 13, which are formed next to each other on an Si substrate 11. A wiring material layer is buried in holes 15 for wiring formed from the flat surface of an SiO₂ film 14, which covers the element 12 and the Si LSI 13 and is used as a flattened layer, in the vertical directions, to form a wiring 16.



LEGAL STATUS

[Date of request for examination]

26.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3248636

[Date of registration]

09.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] III formed together with Si substrate top It has a group-V group electron and a photoelectron component, and SiLSI, and is said III. Compound semi-conductor circuit apparatus characterized by forming said lateral wiring evenly in the substrate with which between the group-V group electron and the light corpuscle child, and Si component was wired.

[Claim 2] It sets to claim 1 and is III. Although a top face has a group-V group component in an equivalent location compared with SiLSI, an underside is formed from a lower part, and it is III. Compound semi-conductor circuit apparatus characterized by the thickness of a group-V group component being thick.

[Claim 3] III formed together with Si substrate top It has a group-V group electron and a light corpuscle child, and SiLSI, and is said III. Compound semi-conductor circuit apparatus characterized by forming evenly said lateral electrical and electric equipment and optical wiring in the substrate with which the electrical and electric equipment and optical wiring of between a group-V group component and Si component were carried out.

[Claim 4] In the process which forms the electrical and electric equipment and a light corpuscle child on the compound semi-conductor substrate which carried out heteroepitaxial growth of the compound semiconductor on Si substrate (1) The process to which some Si substrates are made to carry out heteroepitaxial growth of the compound semiconductor selectively, (2) By the first flattening membrane layer which covers the whole front face and consists of a flattening ingredient, more thickly than surface irregularity Wrap process, (3) The process which carries out flattening of the front face of the flattening membrane layer of the above first by polish, (4) The process which grows up desired component structure on the semi-conductor by which flattening was carried out, and which carried out selective growth, (5) By the second flattening membrane layer which covers the whole front face and consists of a flattening ingredient, more thickly than surface irregularity Wrap process, (6) The process which carries out flattening of the front face of the flattening membrane layer of the above second by polish, (7) -- the process at which even the electrode formed in a substrate Si substrate, the semi-conductor substrate which carried out selective growth, or them makes a hole in some flattening ingredients which carried out flattening, and (8) -- the production approach of the compound semi-conductor circuit apparatus characterized by what a wiring material is made to deposit on the hole, and the process which wires on a front face is included for.

[Claim 5] The production approach of the compound semi-conductor circuit apparatus which digs deep Si front face of the part into which a compound semiconductor is grown up beforehand, and is characterized by forming III group-V group semi-conductor thickness thickly after a surface [continuing] flat chemically-modified degree in claim 4 in case some above-mentioned Si substrates are made to carry out heteroepitaxial growth of the compound semiconductor selectively.

[Claim 6] The production approach of the compound semi-conductor circuit apparatus characterized by arranging in the part of desired thickness an ingredient with the slow polish rate which stops polish in claim 4 or 5 in case a flattening ingredient is ground.

[Claim 7] The production approach of the compound semi-conductor circuit apparatus which carries out flattening by surface polish after covering more thickly [after forming the 1st-layer optical wiring in claim 4 on this flat front face in which wiring was formed on the front face of a flattening membrane layer / in the third flattening membrane layer which consists of a flattening ingredient] than surface irregularity, and is subsequently characterized by forming the 2nd-layer optical wiring which carries out an abbreviation rectangular cross with said 1st-layer optical wiring.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] the compound semi-conductor substrate with which this invention is represented by GaAs/Si etc. -- setting -- the [Si electronic-circuitry component and] -- III It is related with the group-Vth group ("III group-V group" is called below) light, an electronic-circuitry component, the compound semi-conductor circuit apparatus that produces optical wiring (waveguide) on the same substrate, and its production approach.

[0002]

[Description of the Prior Art] III It sets to a group-V group / Si, and is III. The group-V group device was produced and the wiring process was performed as it was.

[0003] The outline of manufacture of the conventional compound semi-conductor circuit apparatus is shown in drawing 19 . In this drawing, in Si substrate and 02, SiLSI and 03 illustrate an quality improvement layer and 04 illustrates [01] a component layer respectively. When wiring in the former, the wiring material was only carried for SiLSI02 and the component layer 04, and wiring 05 was carried out.

[0004] By the way, as shown in drawing 19 , SiLSI02 and the component layer 04 have a level difference, and this level difference becomes large according to multiplexing of a photograph process. It is especially III. It sets to a group-V group / Si, and is III. It is necessary to carry out the laminating of the film which amounts to several micrometers to the quality improvement layer of a group-V group crystal, and especially the problem of a level difference is large. Moreover, when there was this surface level difference, that wiring had a difficult thing. One is a wiring piece by the level difference. Moreover, one had the badness of the piece of RISO by the depth of focus of the photograph process by the level difference. By these factors, it is III. The group-V group / Si compound semi-conductor circuit apparatus was able to do only what has a low degree of integration.

[0005] On the other hand, the need of carrying out optical wiring of between the light emitting device-photo detector of light is searched for. There is an approach using optical waveguide as the one approach. Generally optical waveguide consists of a part (core) which passes along light, and a part (clad) (there may be air) from which the refractive index to which it is made for light not to escape from a core differs. The light included in a core is the technique of sending light to a desired place, without leaking outside (being low loss when it puts in another way).

[0006] However, it is difficult for optical waveguide to bend light rapidly, and it differs from an electric lead wire. Therefore, the above III Since surface irregularity was large and caused loss when optical waveguide is formed on a group-V group / Si compound semi-conductor circuit apparatus, it did not realize.

[0007] This invention takes an example by the above-mentioned problem , and is III which needs thick film formation . It aims at offer the light and the electronic compound semiconductor device which it made [semiconductor device] it possible to perform a photograph process and a wiring process on a flat front face , and raised the level difference piece of wiring , the improvement in photograph precision , as

a result a degree of integration by that cause, and these were formed [semiconductor device] upwards, and realizes optical waveguide of low loss, and its production approach also in a group-V group / Si. [0008]

[Means for Solving the Problem] The configuration of the compound semi-conductor circuit apparatus concerning this invention which attains said object is III formed together with Si substrate top. It has a group-V group electron and a light corpuscle child, and SiLSI, and is characterized by forming said lateral wiring evenly in the substrate with which between said III group-V group electrons and light corpuscle children, and Si components was wired.

[0009] It sets in said configuration and is III. Although a top face has a group-V group component in an equivalent location compared with Si-LSI, an underside is formed from a lower part, and it is III. It is characterized by the thickness of a group-V group component being thick.

[0010] Moreover, the configuration of other compound semi-conductor circuit apparatus has the III group-V group electron and the light corpuscle child, and SiLSI which were formed together with Si substrate top, and is said III. In the substrate with which the electrical and electric equipment and optical wiring of between a group-V group component and Si component were carried out, it is characterized by forming evenly said lateral electrical and electric equipment and optical wiring.

[0011] In the process at which the production approach of the compound semi-conductor circuit apparatus concerning one this invention forms the electrical and electric equipment and a light corpuscle child on the compound semi-conductor substrate which carried out heteroepitaxial growth of the compound semiconductor on Si substrate (1) The process to which some Si substrates are made to carry out heteroepitaxial growth of the compound semiconductor selectively, (2) By the first flattening membrane layer which covers the whole front face and consists of a flattening ingredient, more thickly than surface irregularity Wrap process, (3) The process which carries out flattening of the front face of the flattening membrane layer of the above first by polish, (4) The process which grows up desired component structure on the semi-conductor by which flattening was carried out, and which carried out selective growth, (5) By the second flattening membrane layer which covers the whole front face and consists of a flattening ingredient, more thickly than surface irregularity Wrap process, (6) The process which carries out flattening of the front face of the flattening membrane layer of the above second by polish, (7) -- the process at which even the electrode formed in a substrate Si substrate, the semi-conductor substrate which carried out selective growth, or them makes a hole in some flattening ingredients which carried out flattening, and (8) -- a wiring material is made to deposit on the hole, and it is characterized by what the process which wires on a front face is included for.

[0012] In the above-mentioned configuration, Si front face of the part into which a compound semiconductor is beforehand grown up in case some above-mentioned Si substrates are made to carry out heteroepitaxial growth of the compound semiconductor selectively is dug deep, is also set after a surface [continuing] flat chemically-modified degree, and it is III. It is characterized by forming group-V group semi-conductor thickness thickly.

[0013] In the above-mentioned configuration, in case a flattening ingredient is ground, it is characterized by arranging in the part of desired thickness an ingredient with the slow polish rate which stops polish.

[0014] In the above-mentioned configuration, after covering more thickly [after forming the 1st-layer optical wiring on this flat front face in which wiring was formed on the front face of a flattening membrane layer / in the third flattening membrane layer which consists of a flattening ingredient] than surface irregularity, flattening is carried out by surface polish, and subsequently it is characterized by forming the 2nd-layer optical wiring which carries out an abbreviation rectangular cross with said 1st-layer optical wiring.

[0015] Namely, while adopting the approach of this invention stacking (1) flat ghost thickly, carrying out flattening by polish which has a track record in flattening, and progressing to the following process (2) III It is III before carrying out hetero-epi of the group-V group. The part which carries out group-V group growth is dug deep, and flattening irregularity by the above-mentioned approach is lessened, (3) Since the marker who stops polish of flattening material automatically in self aryne (lengthwise direction) is put in, the conditions required of polish are made loose and flattening is carried out by that

the improvement in repeatability is obtained, and (4) above It becomes possible to produce the conventional optical waveguide technique (FOTORISO process to include), after accumulating light and an electronic circuitry (semi-conductor), and it becomes possible [combining electronic wiring and optical wiring]. If it puts in another way, they are old SiLSI and III. It is going to realize chip intrinsic-light INTAKONEKUSHON in the so-called board, without spoiling a group-V group photoelectron technique.

[0016]

[Example] Hereafter, one example concerning this invention is explained with reference to a drawing. (Example 1) Drawing 1 is the schematic diagram of the compound semi-conductor circuit apparatus concerning this example. It is III which forms this equipment together with the Si substrate 11 top, and becomes as shown in this drawing. While having a group-V group electron and the light corpuscle child 12, and SiLSI13, a wiring material is embedded in the hole 15 for wiring respectively formed in the direction of a vertical from the flat side of the wrap flattening layer 14 in these, and it comes to give wiring 16.

[0017] GaAs/Si is explained to drawing 2 and the 1st example is explained to an example. SiLSI12 is produced on the Si substrate 11. Si front face which is not formed at all is exposed by making some fields into a GaAs field. The process which carries out selective growth of the GaAs on this substrate is performed. First, SiO₂ The laminating of the film 21 is carried out with a CVD method. And SiO₂ of a part which should grow GaAs according to a FOTORISO process The film 21 is etched and the Si substrate 11 is exposed (drawing 2 (A)).

[0018] GaAs is SiO₂ although it is the process grown up by vapor growth. It is possible not to grow up on the film 21 but to make only Si front face carry out epitaxial growth selectively. Thus, about 4-micrometer selective growth of the GaAs layer 22 was carried out (drawing 2 (B)).

[0019] Then, SiO₂ as first flattening membrane layer With the CVD method, about 5-micrometer laminating of the flattening film 23 was carried out (drawing 3 (A)). This thickness is seen from Si front face, and is made to have set up thickly 1 micrometer as compared with the thickest GaAs front face (4 micrometers). Then, it is SiO₂ by chemical machinery polish. Polish flattening of the flattening film 23 was carried out with the GaAs layer 22 until it became the thickness of 3 micrometers from Si front face (drawing 3 (B)).

[0020] Consequently, surface surface smoothness was made into irregularity and became below 50Å. SiO₂ To flattening and coincidence of the flattening film 23, GaAs layer 22 front face is also SiO₂. It was ground to the same height as a front face. For this, the polish rate of the GaAs layer 22 is SiO₂. It compares, and since it is quick, it is SiO₂. When flattening is performed, a GaAs front face is also SiO₂ automatically. It has the description that flattening is carried out in respect of being the same as a front face.

[0021] Then, SiO₂ The light corpuscle child (LD (Laser Diode) and PD (Photo Detector)) 25 who consists of the electronic device (they are HBT (hetero BiPolar Transistor)24, and HEMT (High Electron Mobility Transistor) and FET at this example) which becomes the front face which the flattening film 23 and the GaAs layer 22 have exposed from GaAs and AlGaAs, GaAs, and AlGaAs was produced (drawing 4 (A)). Here, it is SiO₂ to the appearance shown at the process of drawing 2 (B). Selective growth was performed by the film, the electron and the light corpuscle child 26 could be produced only into the part which the front face of the GaAs layer 22 has exposed, and the GaAs electron and the light corpuscle child 12 were formed in it. Component thickness was a thick place and was about 1 micrometer.

[0022] Then, it is SiO₂ as second flattening membrane layer because of flattening. About 2-micrometer laminating of the flattening film 27 was carried out (drawing 4 (B)). Then, it is SiO₂ by chemical machinery polish. Polish flattening of the flattening film 27 was carried out until it became the thickness of 4.3 micrometers from the front face of the Si substrate 11 (drawing 5 (A)). Surface surface smoothness was made into irregularity and became below 50Å.

[0023] Next, perforation for wiring is performed to the electrode section of SiLSI13, and the GaAs electron and a light corpuscle child 12. A photoresist is applied to homogeneity, and it exposes with a

mask, and is SiO₂ at RIE. The usual photograph process of etching the flattening film 27 selectively was performed. Here, it is SiO₂. Since flattening film 27 front face was flatness (<50Å), the piece which is a photograph was good and was able to make the thin hole 15 to the limitation (this process this equipment, line breadth precision of 0.1 micrometers) of photograph equipment (drawing 5 (B)). Theoretically, if the precision of equipment improves, it will be thought that it is possible to about line breadth 50Å.

[0024] Then, the wiring metal was made to adhere with a CVD method, and wiring 16 was given. Here, it is SiO₂. It connects without confusing and disconnecting in the perforation (pinhole) section. Again, wiring 16 of a wish was able to be given according to the photograph process from the front face (drawing 1).

[0025] In addition, although omitted, it is also possible after this wiring to multilayer wiring 16 here by repeating each process shown in drawing 5 (A), drawing 5 (B), and drawing 1 . Although three-fold wiring was actually performed, there was no change in the precision and others of wiring in any way, and having multilayered was possible.

[0026] (Example 2) InP/Si is explained to drawing 2 and the 2nd example is explained to an example. SiLSI which left the wiring process on Si substrate is produced. The process which carries out selective growth of the InP on this substrate is performed. In this example, the 8-micrometer crevice 31 was beforehand dug deep to the Si substrate 11 as a field which should carry out selective growth of the InP layer.

[0027] First, SiO₂ The laminating of the film 21 is carried out with a CVD method. And SiO₂ of a part which should grow InP according to a FOTORISO process The film 21 is etched and the Si substrate 11 is exposed (drawing 6 (A)).

[0028] In the example 1, although Si front face into which InP is grown up was the same as other Si front faces, by this example 2, the InP growth part is made into the crevice 31, as mentioned above.

[0029] The approach of two copies was performed as the production approach for this crevice.

[0030] One of them is the approach of forming a crevice 31 after the process of drawing 2 (A) in an example 1. At the process of drawing 2 (A), it is SiO₂. The film 21 is etched, Si substrate is also etched further, and it was made to become about 8-micrometer crevice 31 from Si front face, as shown in drawing 6 (A). the photoresist which etches SiO₂ film 21 by this example as etching of this Si substrate 11 -- as it is -- leaving -- RIE (reactive ion etching) -- it formed in the crevice 31 by law. In addition, it cannot be overemphasized that it is possible to use other Si dry etching techniques, a wet etching technique, the other techniques known from the former, and an approach.

[0031] other one approach is the approach of boiling a crevice 31 by the above-mentioned approach, and forming the field into which InP is grown up among the Si substrates 11, before forming SiLSI13. In this example, although both two above-mentioned approaches were used, the same effectiveness was acquired by both. About the formation stage of this crevice, the more advantageous one can be used in relation with a SiLSI formation process.

[0032] InP is SiO₂ although it is the process grown up by vapor growth. It is possible not to grow up on the film 21 but to make it grow up to be the front face of the Si substrate 11 selectively epitaxial. Thus, about 10 micrometers of InP layers 32 were grown up (drawing 6 (B)).

[0033] Then, SiO₂ as first flattening film With the CVD method, about 3-micrometer laminating of the flattening film 23 was carried out (drawing 7 (A)). This thickness is seen from Si front face, and is made to have set up thickly 1 micrometer as compared with the thickest InP front face (2 micrometers). Then, it is SiO₂ by chemical machinery polish. Polish flattening of the flattening film 23 was carried out until it became the thickness of 1 micrometer from the front face of the Si substrate 11 (drawing 7 (B)).

[0034] Surface surface smoothness was made into irregularity and became below 50Å. SiO₂ To flattening and coincidence of the flattening film 23, InP layer 32 front face is also SiO₂. It was ground to the same height as a front face. For this, the polish rate of InP is SiO₂. It compares, and since it is quick, it is SiO₂. When flattening is performed, an InP front face is also SiO₂ automatically. It has the description that flattening is carried out in respect of being the same as a front face. Then, SiO₂ The light corpuscle child (LD (Laser Diode) and PD (Photo Detector)) 34 who becomes the front face which

InP has exposed from InP, the electronic device (they are HBT (Hetero BiPolar Transistor)33, HEMT (High Electron Mobility Transistor), and FET at this example) which consists of InGaAsP and InP, and InGaAsP was produced, and the electron and the light corpuscle child 35 were obtained (drawing 8 (A)).

[0035] Here, it is SiO₂ to the appearance shown previously. It was possible to have produced an electron and the light corpuscle child 35 only into the part which selectivity was maintained and InP has exposed. Component thickness was a thick place and was about 1 micrometer.

[0036] Then, it is SiO₂ as second flattening film because of flattening. About 2-micrometer laminating of the flattening film 27 was carried out (drawing 8 (B)). Then, it is SiO₂ by chemical machinery polish. Polish flattening of the flattening film 27 was carried out until it became the thickness of 3.3 micrometers from Si front face (drawing 9 (A)). Surface surface smoothness was made into irregularity and became below 50A.

[0037] Next, perforation for wiring is performed to the electrode section of SiLSI13, and the InP electron and a light corpuscle child 36. A photoresist is applied to homogeneity, and it exposes with a mask, and is SiO₂ at RIE. The usual photograph process of etching the flattening film 27 selectively was performed. Here, it is SiO₂. Since flattening film 27 front face was flatness (<50A), the piece which is a photograph was good and was able to make the thin hole 15 to the limitation (a process this equipment, precision of 0.1 micrometers) of photograph equipment (drawing 9 (B)).

[0038] Then, the wiring metal was made to adhere with a CVD method. Here, it is SiO₂. It connects without confusing and disconnecting in the perforation (pinhole) section. Again, the wiring 16 of a wish was able to be formed according to the photograph process from the front face (drawing 10).

[0039] In this example, since the growth field of the InP layer 32 is dug deep beforehand and concave 32 is formed, the thickness of the InP layer 32 done also as the same thickness as an example 1 can thicken structure on Si front face by 8 micrometers dug deep. InP compares with GaAs and is III. As a group-V group / Si, even if comparatively thick, there is little generating of a crack (refer to Prior art). Therefore, it is more advantageous for there to be about 10 micrometers in quality improvement.

[0040] At examples 1 and 2, it is SiO₂ as flattening film. The same result was obtained, although the used example was shown, in addition although SiNX, Si₃N₄, and polyimide were carried out similarly. Thus, all can be used if it is the ingredient which can carry out flattening by chemical machinery polish, and does not affect each component, wiring, etc. as flattening film. Moreover, in the production approach of the flattening film, the approach of variety multiple use (a spin-on glass, CVD, spatter membrane formation, spreading, etc.) can be used similarly.

[0041] (Example 3) The case where a polish halt layer is inserted next in the case of chemical machinery polish is explained.

[0042] Almost all processes are the same as an example 1. A different process is shown below.

[0043] Only the front face of the Si substrate 11 which operates like an example 1 and is shown in drawing 2 (B) was made to carry out selective growth of the GaAs layer 22.

[0044] Next, SiO₂ It compares with the film 21 and is Si₃N₄ with a slow polish rate. The laminating of the film 41 was carried out as a polish halt layer by 2.95micrometer**0.05micrometer (drawing 11 (A)).

[0045] Next, it sets to a flat part and is Si₃N₄. The film 41 is etched selectively (drawing 11 (B)). Furthermore, it is SiO₂ as first flattening film. 5-micrometer laminating of the flattening film 23 is carried out (drawing 12 (A)).

[0046] Then, it is SiO₂ by chemical machinery polish. The flattening film 23 is ground. Under the present circumstances, although polish termination was aimed being the same as that of an example 1 at 4.3 micrometers, about 0.1-micrometer exaggerated polish was performed rather than it. However, Si₃N₄ SiO₂ It compares, and since the polish rate is slow, polish is Si₃N₄. It stops in the place of a layer 41 (drawing 12 (B)).

[0047] This is SiO₂ to which it opted for a polish halt with the parallelism of the Si substrate 11 and abrasive cloth, and it was left behind in the location precision in the example 1. Film distribution is determined. That is, precision was required. Since a polish halt is determined by the polish halt agent

(Si₃N₄) by this example as compared with it, it is unnecessary in the precision of parallelism. Consequently, a polish machine is cheap and ends. there is no special technique -- ** -- it has the description that the polished surface excellent in repeatability is acquired. In addition, also in the process shown in drawing 4 (B) which forms the second flattening membrane layer and forms a flattening layer - drawing 5 (A), as a result of putting in the same polish halt and operating it similarly, it was unnecessary in the precision of parallelism.

[0048] (Example 4) The example which carried out selective growth to some substrates, and carried out flattening of the selective growth front face as the 4th example next is shown.

[0049] Although the growth conditions which do not grow into a problem perform in the examples 1-3, selective growth may be unable to attain well according to the growth approach of a compound semiconductor, and conditions.

[0050] As the example, polycrystal growth on edge growth and a selection mask is.

[0051] Edge growth is the phenomenon of becoming quicker than the growth rate made into the object near the selective growth mask, in selective growth. The growth raw material on a non-grown up selection mask is carried to a selective growth field by gaseous-phase diffusion or growth side migration, and this is understood to be that to which the growth rate near the selective growth mask of selective growth speeds up.

[0052] With growth of the polycrystal to a selection mask etc., originally, although nothing should grow up to be a selection mask, depending on growth conditions, a compound semiconductor deposits also on a selection mask (for example, when ***** of growth is too high etc.). This sludge also does various kinds of failures to an after process as surface irregularity.

[0053] The place which operates it like an example 2, and you make expose Si front face of the place which should grow InP, and wants to grow is SiO₂. The film 21 was used as the selective growth film (drawing 13 (A)). In order to shorten growth time amount, growth time amount was shortened, and ***** was raised in this example for the object which raises a throughput.

[0054] Therefore, more than the growth thickness of the InP layer 32 made into the object in **InP growth field is SiO₂. Crystal 32b grew also on ** selective growth film growth (edge growth) 32a Carried out near the selective growth film (drawing 13 (B)).

[0055] These pose a problem in the following process. In this example, it sets in this condition, and is SiO₂ as flattening film similarly. The laminating of the flattening film 23 was carried out (drawing 14 (A)). Then, chemical machinery polish performed flattening (drawing 14 (B)).

[0056] Consequently, although growth on the selective growth film of edge growth 32a and polycrystal 32b etc. was, flattening of the front face was carried out (this drawing 14 (B)).

[0057] Although the InP selective growth field had edge growth 32a, the flat InP side was created.

[0058] Although polycrystal 32b existed in flattening material (here SiO₂), flattening was realized as a front face.

[0059] (Example 5) Next, in addition to optical - electronic fusion, the example which also mixed optical waveguide is shown as the 5th example. As a process, the following process was performed after the wiring process (drawing 15 (A)) shown in drawing 10 of an example 2.

[0060] After performing a wiring process in the example 2, the optical waveguide 51 of a high refractive index was produced on the front face between photoluminescence photo detectors (here, I/O of the light from a device table side is performed) (drawing 15 (B)). Here, as shown in drawing 16, total reflection of the light from the luminescence photo detector 12 is carried out by the waveguide 51 produced aslant, and light is efficiently turned into the optical waveguide 51 extended in a longitudinal direction. In this phase, optical wiring and electric wiring were completed and the object is achieved.

[0061] In this example, optical wiring was duplex-ized further. The laminating of the flattening material 52 was carried out by thickness thicker than a wiring level difference, and chemical machinery polish performed flattening (drawing 17 (A)).

[0062] Optical wiring was performed after that between CVD, the light emitting device of a request of optical waveguide by photo etching etc., and the photo detector (drawing 17 (B)). here -- as duplex-izing of optical wiring -- a longitudinal direction -- optical waveguide 51A (drawing 17 (B)) and the

direction of space of the 1st layer -- optical waveguide of 2nd layer 51B (drawing 17 (B)) -- having carried out (referring to the top view of drawing 18) -- of course, these are combined suitably -- it is possible. Moreover, in the process of the 2nd-layer optical wiring, it is also possible to carry out electric wiring simultaneously.

[0063] In this example, the luminescence photo detector by the compound semiconductor was in the high location compared with other components etc. (since the distance of a luminescence photo detector and optical waveguide is short when it puts in another way), there were few optical leaks and good optical coupling (optical wiring) was realized (III it has appeared in this example that a group-V group crystal is a thick film in the effective good direction).

[0064] In this example, flattening has accomplished the front face in the optical wiring process here (below 50A), and loss or the leakage (it is related to a cross talk) to the exterior became possible [realizing very few objects] as optical waveguide.

[0065] In addition, even if it made the electric wiring process and the optical wiring process into reverse and performed the electric wiring process after the optical wiring process, it had the same operating characteristic.

[0066] In addition, in this example, optical wiring was made into the longitudinal direction by considering the luminescence light-receiving direction as field luminescence. And conversion to the horizontal-length oblique position of light is performed using the total reflection side produced aslant.

[0067] In addition, the approach by the grating was also enforced to change the light of the direction of a field into a longitudinal direction. Moreover, in lateral LD and the lateral photo detector which form a cavity, although interference between the total reflection ** gray CHIINGU ** waveguides produced aslant [**] etc. performed combining the 1st optical wiring and the 2nd optical wiring etc., what has a property comparable as optical wiring (waveguide) produced on the conventional flat surface was obtained. In addition, not all the existing waveguide techniques are applicable also until it says.

[0068] (Example 6) The description of the compound semi-conductor circuit apparatus produced by the above-mentioned approach is shown.

[0069] In order to perform electric wiring on flat, wiring on the required level difference became unnecessary by the conventional approach. When it wired on a level difference conventionally, wiring of the part became thin and the problem was in dependability -- wiring goes out during circuit apparatus operation. In this circuit apparatus, since it wired only in the flat part, the problem of this degradation by the level difference was lost, the dependability (life test of wiring) of a circuit apparatus became being the same as that of wiring of the conventional flat part, and marked improvement was obtained.

[0070] Moreover, in the conventional method, in order to secure the above-mentioned dependability, the approach of thickening the width of face or thickness of wiring was required for reverse. When put in another way, wiring width-of-face regulation was decided by the level difference section rather than was decided by it of a flat part. therefore -- for example, in spite of having had the line breadth precision of 0.1 micrometers in the flat part, in order to maintain the above-mentioned dependability of the level difference section, it was securable [in the conventional method,] in the semi-conductor circuit apparatus production equipment of this example only to 0.5 micrometers as line breadth. In the case of this example, there is no such thing and it does not have an adverse effect on dependability and the yield as 0.1 micrometers of the equipment engine performance. Therefore, the semi-conductor circuit apparatus of this invention was able to obtain the compound semi-conductor circuit apparatus of high accumulation as compared with the conventional object.

[0071] Also in optical wiring, it has the same description as the above-mentioned electric wiring. Furthermore, in optical wiring, it has the following description and the impossible compound semiconductor circuit has been realized with the conventional method.

[0072] In optical wiring on the conventional level difference, in spite of having been lateral optical wiring, according to the level difference, wiring was changing in the vertical direction. Although light closed by waveguide and eye ** had accomplished, loss of the light transmitted in optical wiring by dispersion of light, leakage out of waveguide, etc., the cross talk during wiring by optical leakage, and breaking of a single mode arose with this level difference. Therefore, thin optical wiring and long-

distance optical transmission were impossible. As the example, there was about 3dB loss in the level difference of 3 micrometers. In the case of this example, it has the description that all of those problems are solved.

[0073] Moreover, in optical wiring, the propagation property becomes a factor with the big surface smoothness of the interface of waveguide. When irregularity is in the interface of waveguide, it is there, and is scattered about, buildup of propagation loss and bleedoff of the light to the exterior arise, and light worsens a waveguide property remarkably. When waveguide was conventionally produced on a level difference, the piece of a photograph was not able to be improved from the relation of the depth of focus of a photograph process. Therefore, when the level difference became large, irregularity occurred in the interface (outer wall) of waveguide. The irregularity of 1 micrometer had occurred in the level difference of 3 micrometers. It was impossible to have made a single mode spread 1.5-micrometer light in the irregularity of 1 micrometer. However, in this example, the irregularity of an interface is controlled by 0.03 micrometers or less, improvement marked in propagation effectiveness is found, and the loss has become 1dB or less in transmission (about 4mm) in a chip.

[0074] Thus, it has the description said that the interface surface smoothness (linearity) of the compound semiconductor device of this invention of both optical waveguide of the vertical direction and a longitudinal direction (irregularity of an interface) is improving, and has the optical wiring property which is not acquired in the Prior art.

[0075] Since the semi-conductor part is thick, it is III. The crystallinity of a group-V group compound semiconductor is improving. when it produces with a conventional method, it is going to acquire the same crystallinity as this example -- if it puts in another way -- equivalent III if it is going to acquire a group-V group semiconductor device property -- III The top face of a group-V group semiconductor device becomes a location higher than the top face of Si-LSI. Therefore, in light and electric wiring, there was disadvantage that wiring of a lengthwise direction became long. It sets to this invention circuit apparatus, and is III. It becomes the height same [a top face] as group-V group circuit apparatus and Si circuit apparatus, and wiring of a lengthwise direction is realized short. Wiring becomes short and it has the description that the propagation effectiveness by the electrical and electric equipment and optical wiring improves.

[0076]

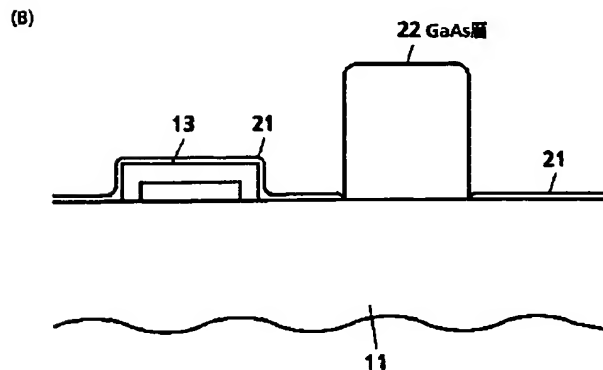
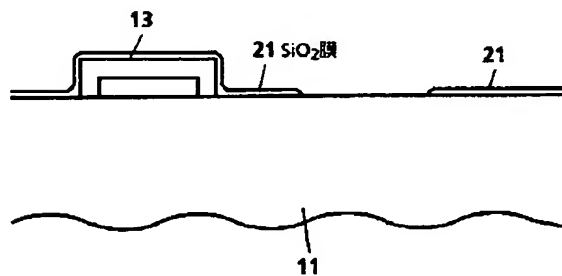
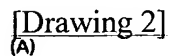
[Effect of the Invention] According to this invention, it becomes possible to perform III-V hetero epitaxial growth, III-V element formation (growth), a FOTORISO process, wiring, etc. on a flat front face, and dotage by the level difference piece of wiring and the depth of focus difference of a photograph resulting from irregularity etc. can be solved. Therefore, high accumulation is attained. As a result, a response becomes a high speed. Moreover, in a Prior art, it becomes possible to have formed the light corpuscle child upwards and to create the optical waveguide by which loss was large and was considered that implementation is impossible.

[Translation done.]

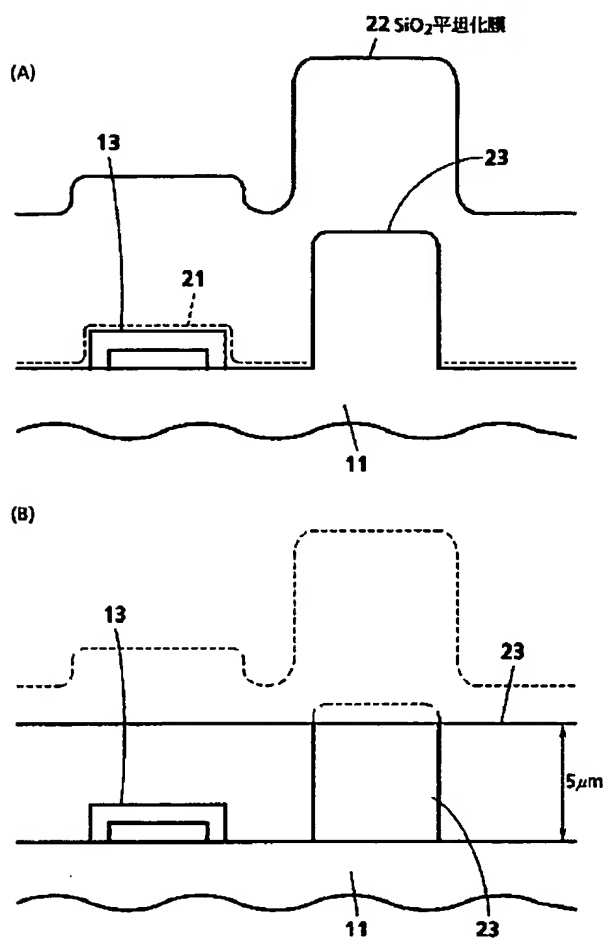
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

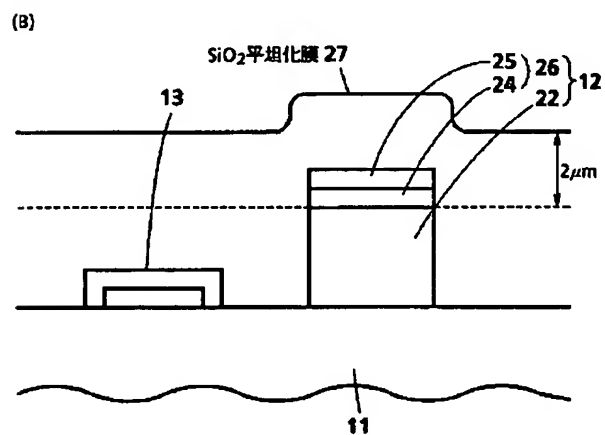
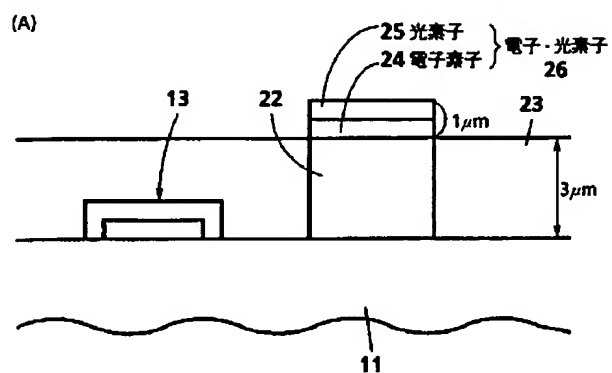
[Drawing 1]



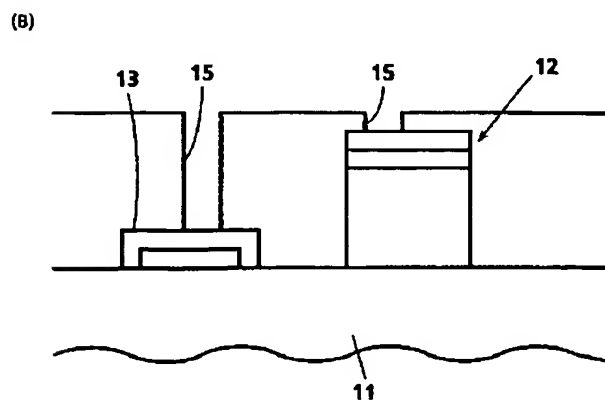
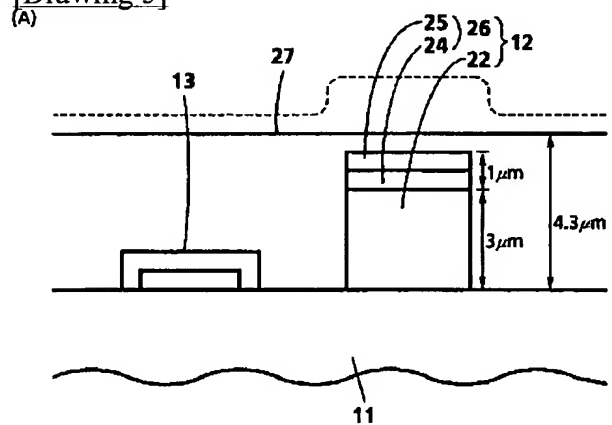
http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje



[Drawing 4]

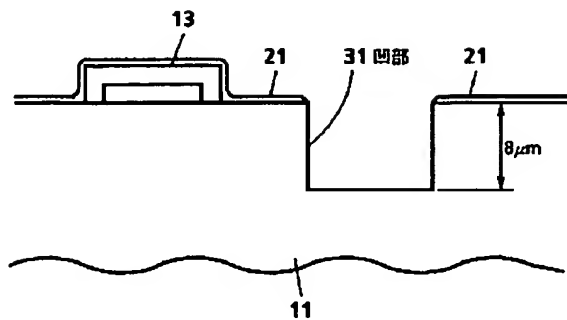


[Drawing 5]

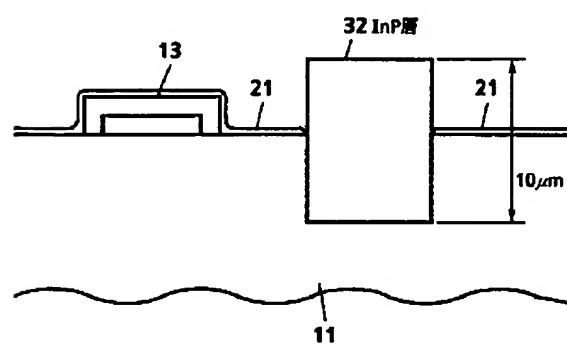


[Drawing 6]

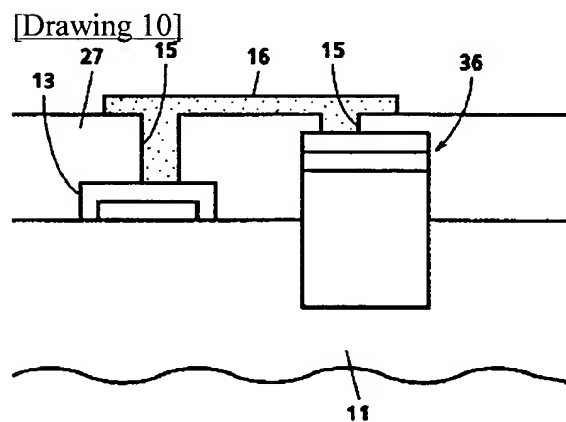
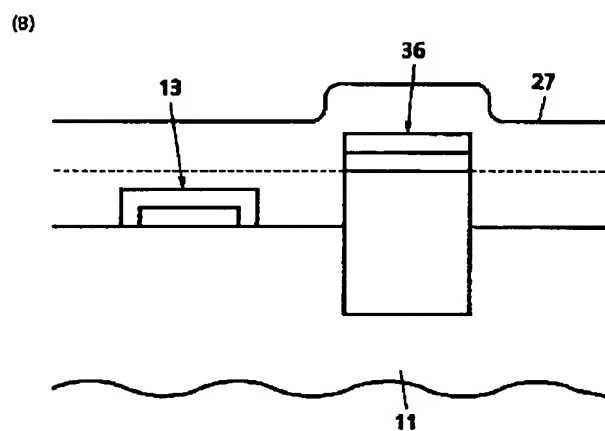
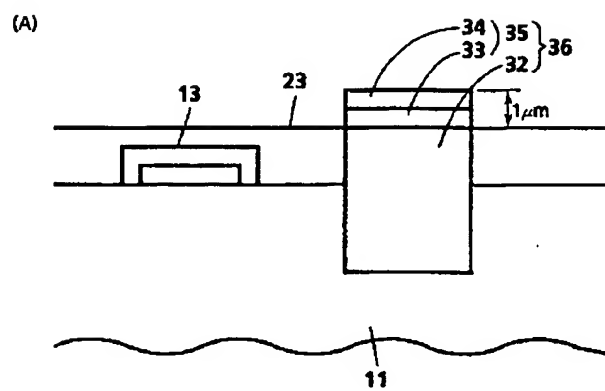
(A)



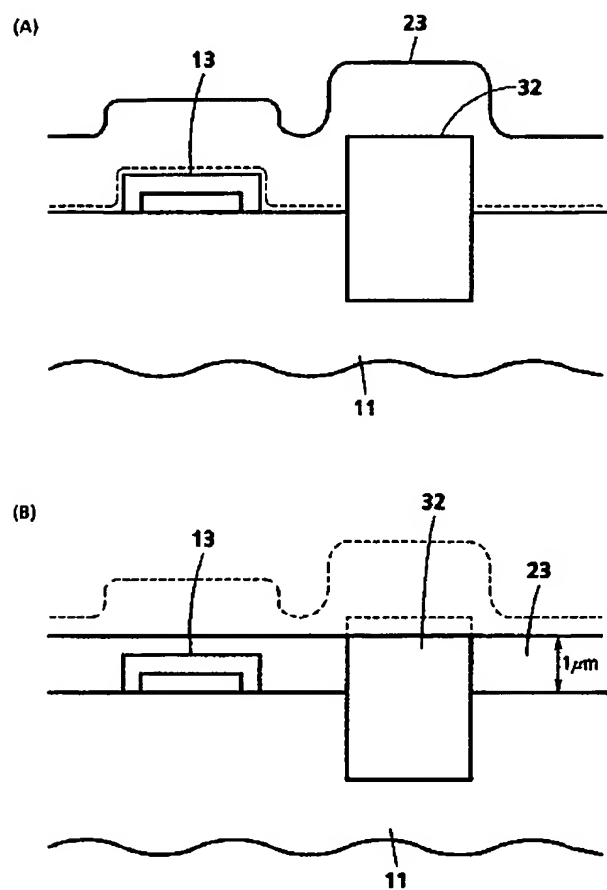
(B)



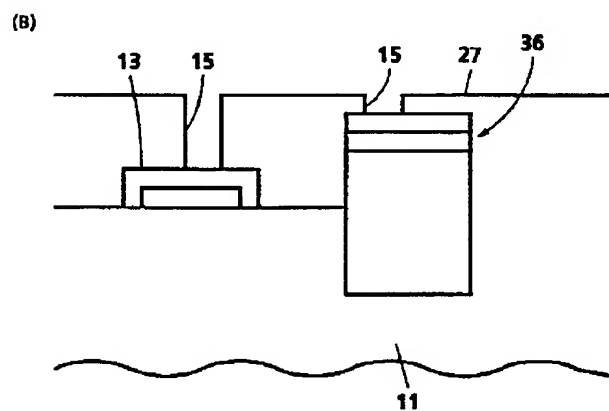
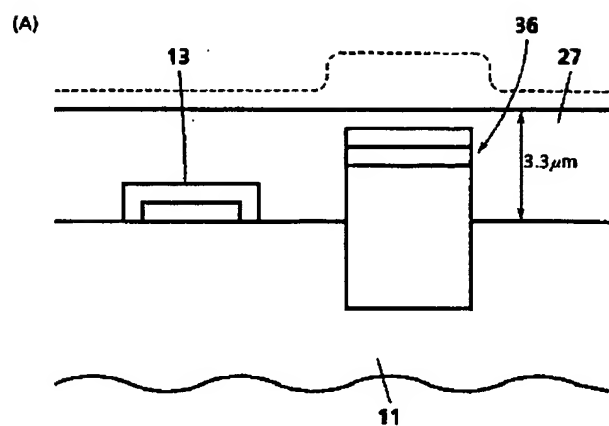
[Drawing 8]



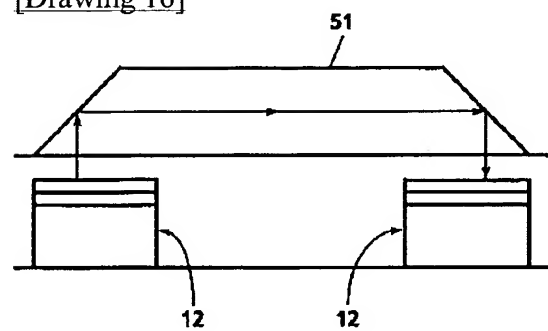
[Drawing 7]



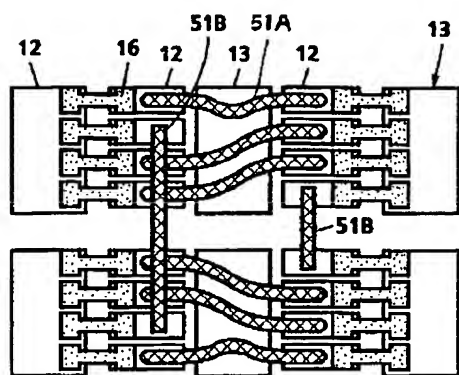
[Drawing 9]



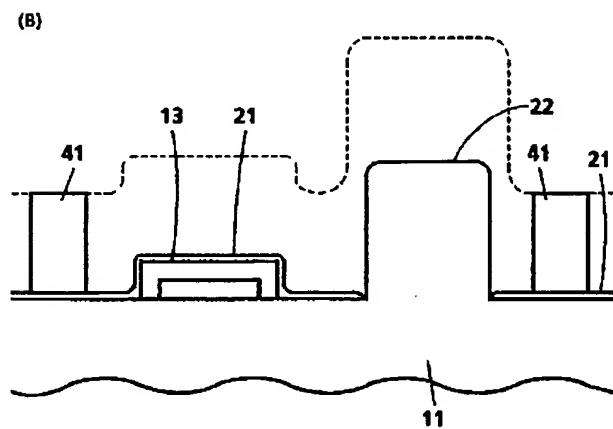
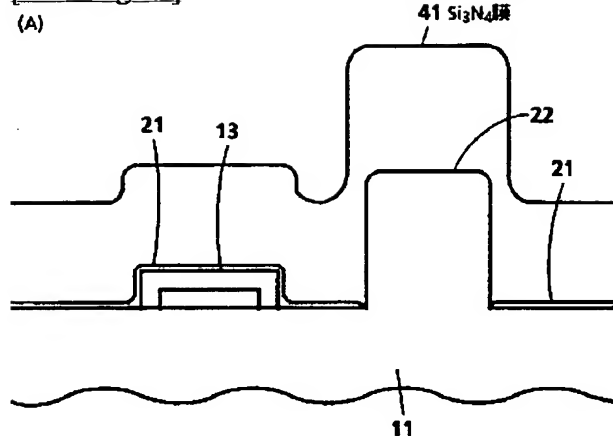
[Drawing 16]



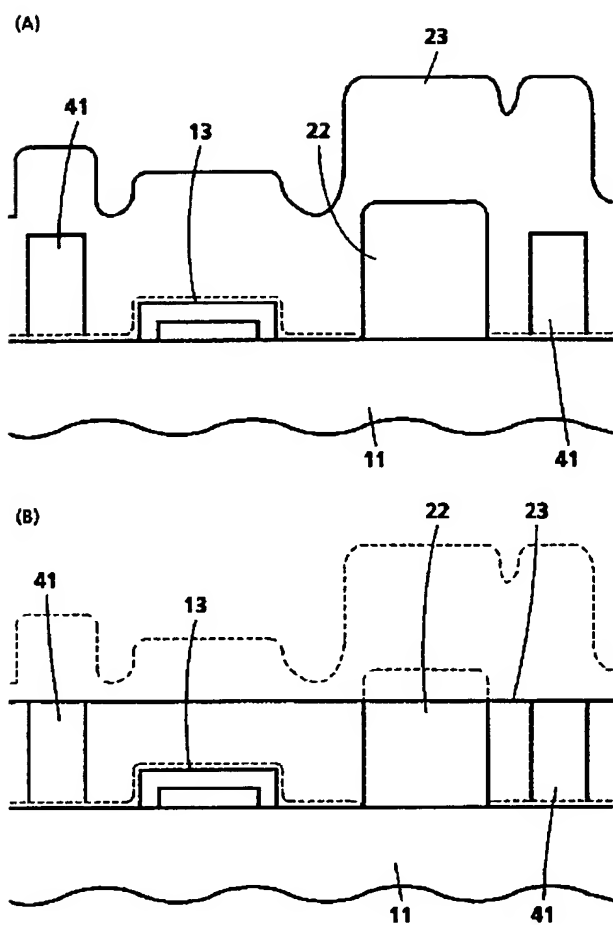
[Drawing 18]



[Drawing 11]

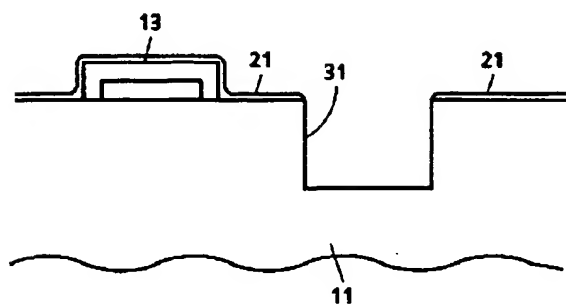


[Drawing 12]

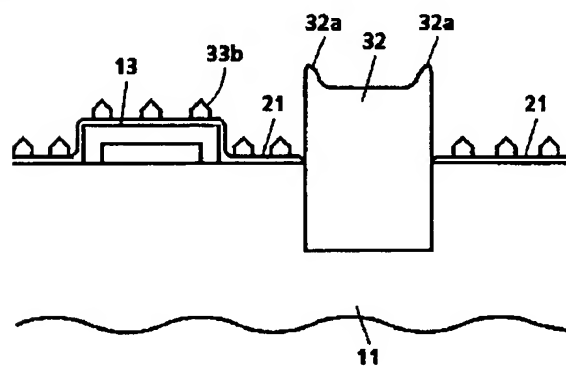


[Drawing 13]

(A)

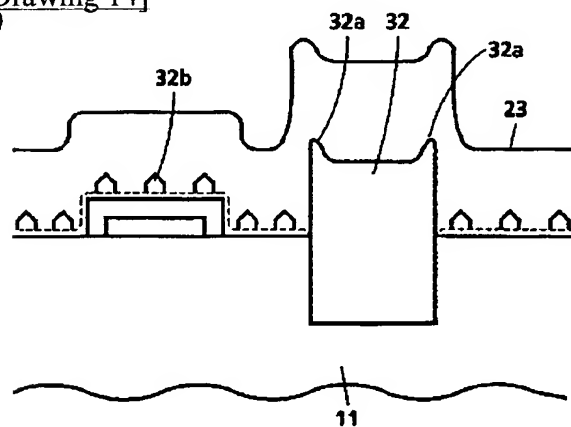


(B)

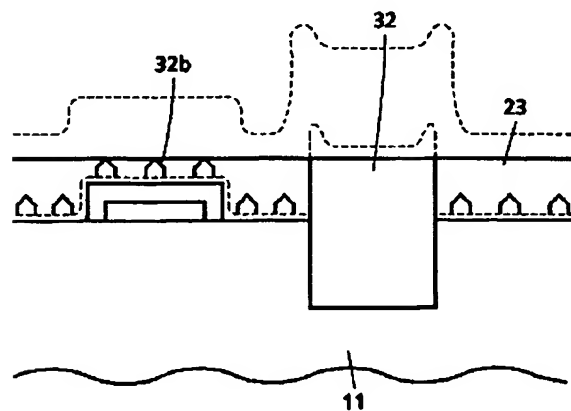


[Drawing 14]

(A)

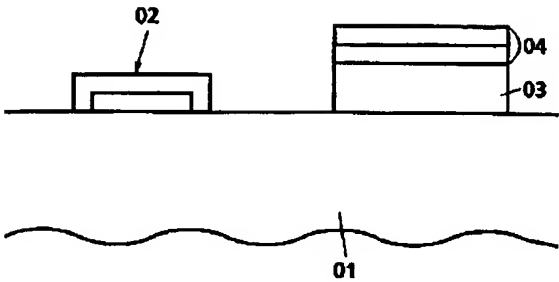


(B)

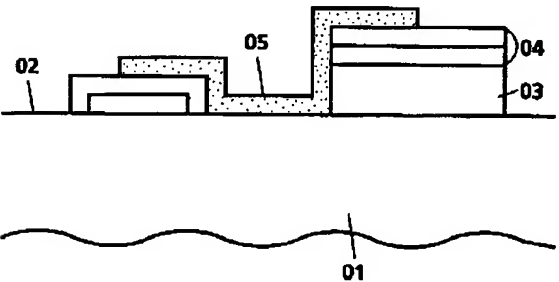


[Drawing 19]

(A)

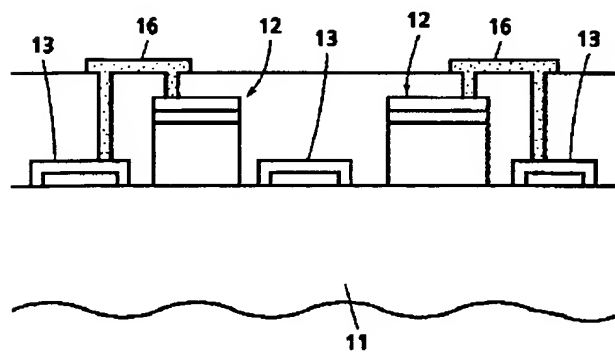


(B)

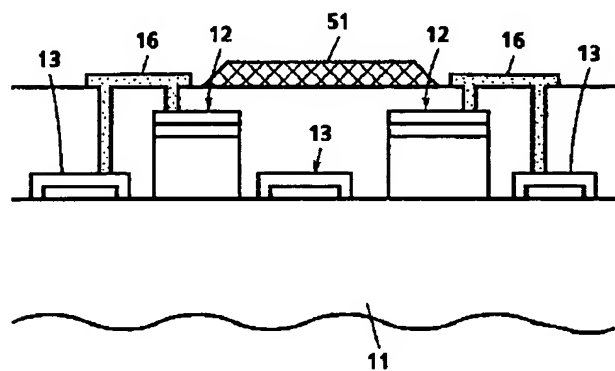


[Drawing 15]

(A)

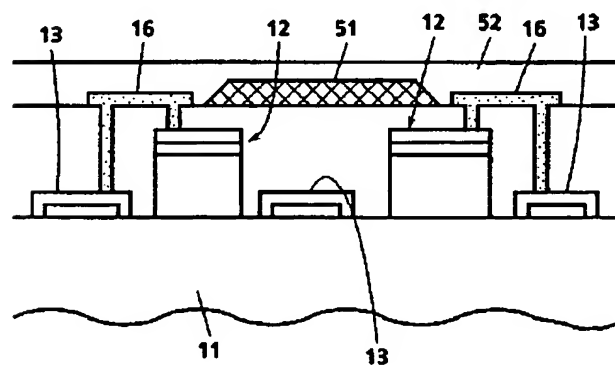


(B)

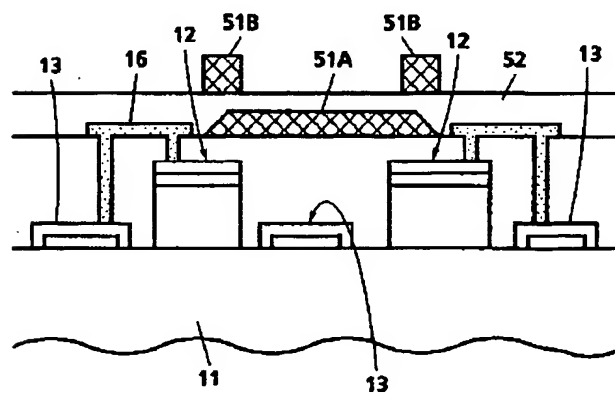


[Drawing 17]

(A)



(B)



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232126

(43)公開日 平成 6 年(1994) 8 月19日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/3205 33/00		A 7376-4M M 7376-4M 7514-4M	H 0 1 L 21/ 88	K
審査請求 未請求 請求項の数 7 O L (全 13 頁)				

(21)出願番号 特願平5-16153

(22)出願日 平成 5 年(1993) 2 月 3 日

(71)出願人 000004226

日本電信電話株式会社
東京都千代田区内幸町一丁目 1 番 6 号

(72)発明者 太刀川 正美

東京都千代田区内幸町一丁目 1 番 6 号 日
本電信電話株式会社内

(72)発明者 森 英史

東京都千代田区内幸町一丁目 1 番 6 号 日
本電信電話株式会社内

(72)発明者 伊藤 義夫

東京都千代田区内幸町一丁目 1 番 6 号 日
本電信電話株式会社内

(74)代理人 弁理士 光石 俊郎 (外 1 名)

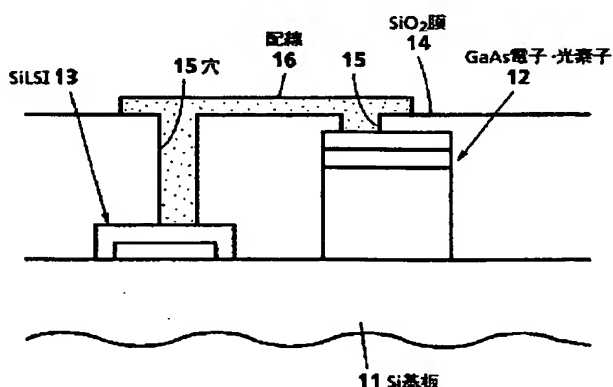
最終頁に続く

(54)【発明の名称】 複合半導体回路装置およびその作製方法

(57)【要約】

【目的】 S i 電子回路素子と第III 族-第V族光・電子回路素子、および光配線（導波路）を同一基板上に作製する複合半導体回路装置およびその作製方法を提供する。

【構成】 S i 基板 1 1 上に並んで形成してなるIII 族-V族電子・光素子 1 2 と S i L S i 1 3 とを有すると共に、これらを覆う平坦化層としての S i O₂ 1 4 の平坦面から各々鉛直方向に形成された配線用穴 1 5 内に配線材料を埋め込み配線 1 6 を施してなる。



(2)

1

【特許請求の範囲】

【請求項1】 Si基板上に並んで形成された、III族-V族電子・光電子素子とSiLSIとを有し、前記II族-V族電子・光素子と、Si素子間とが配線された基板において、横方向の前記配線が平坦に形成されていることを特徴とする複合半導体回路装置。

【請求項2】 請求項1において、III族-V族素子がSiLSIに比べ、上面は同等の位置にあるが、下面は下方より形成され、III族-V族素子の厚みが厚くなっていることを特徴とする複合半導体回路装置。

【請求項3】 Si基板上に並んで形成された、III族-V族電子・光素子とSiLSIとを有し、前記III族-V族素子とSi素子間とが電気・光配線された基板において、横方向の前記電気・光配線が平坦に形成されていることを特徴とする複合半導体回路装置。

【請求項4】 Si基板上に化合物半導体をヘテロエピタキシャル成長した複合半導体基板上に、電気および光素子を形成する工程において、

(1) Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる工程と、

(2) 表面全体に互って平坦化材料からなる第一の平坦化膜層で表面凹凸より厚く覆う工程と、

(3) 上記第一の平坦化膜層の表面を研磨により平坦化する工程と、

(4) 平坦化された、選択成長した半導体の上に所望の素子構造を成長させる工程と、

(5) 表面全体に互って平坦化材料からなる第二の平坦化膜層で表面凹凸より厚く覆う工程と、

(6) 上記第二の平坦化膜層の表面を研磨により平坦化する工程と、

(7) 平坦化した平坦化材料の一部に、下地Si基板あるいは選択成長した半導体基板あるいはそれらに形成された電極まで穴を開ける工程と、

(8) その穴に配線材料を堆積させ、表面で配線する工程を含む、ことを特徴とする複合半導体回路装置の作製方法。

【請求項5】 請求項4において、上記Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる際に、あらかじめ化合物半導体を成長させる部分のSi表面を掘り込んでおき、続く、表面平坦化工程後においても、III族-V族半導体膜厚を厚く形成することを特徴とする複合半導体回路装置の作製方法。

【請求項6】 請求項4又は5において、平坦化材料を研磨する際に、研磨を停止させる、研磨速度の遅い材料を、所望の厚さの箇所に配設することを特徴とする複合半導体回路装置の作製方法。

【請求項7】 請求項4において、平坦化膜層の表面に配線を形成した該平坦表面で第1層の光配線を形成した後、平坦化材料からなる第三の平坦化膜層で表面凹凸より厚く覆った後表面研磨により平坦化し、次いで、前記

2

第1層の光配線と略直交する第2層の光配線を形成することを特徴とする複合半導体回路装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばGaAs/Si等に代表される複合半導体基板において、Si電子回路素子と第III族-第V族（以下「III族-V族」と称す）光・電子回路素子、および光配線（導波路）を同一基板上に作製する複合半導体回路装置およびその作製方法に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】III族-V族/Siにおいては、III族-V族デバイスを作製して、そのまま配線工程を行っていた。

【0003】従来の複合半導体回路装置の製造の概略を図19に示す。同図において、01はSi基板、02はSiLSI、03は高品質化層、04は素子層を各々図示する。従来において配線を行う場合、SiLSI02と素子層04とを単に配線材料を載せて配線05をしていた。

【0004】ところで、図19に示すように、SiLSI02と素子層04とは段差があり、この段差は、フォトリソ工程の多重化に従って大きくなる。特にIII族-V族/Siにおいては、III族-V族結晶の高品質化層に数μmに及ぶ膜を積層する必要があり、段差の問題は特に大きい。また、この表面段差があると、その配線は難しいものがあつた。1つは段差による配線切れ。また1つは段差によるフォトリソ工程の焦点深度による、リソの切れの悪さがあつた。これらの要因により、III族-V族/Si複合半導体回路装置は、集積度の低いものしかできなかった。

【0005】他方、光の発光素子-受光素子間を光配線する必要性が求められている。その1つの方法として、光導波路を用いる方法がある。光導波路は、一般に、光を通る部分（コア）と光がコアから逃げない様にする屈折率の異なる部分（クラッド）（空気の場合もある）からなる。コアに入った光は外に洩れることなく（換言すると低損失で）所望の所に光を送る技術である。

【0006】しかしながら、光導波路は急激に光を曲げることが難しく、電気の導線とは異なっている。そのため、例えば、上記III族-V族/Si複合半導体回路装置上に光導波路を形成した場合、表面凹凸が大きく、損失の原因となるため、実現されることはなかった。

【0007】本発明は上記問題に鑑み、厚膜形成が必要なIII族-V族/Siにおいても、フォトリソ工程、配線工程が平坦な表面上で行われることを可能とし、それにより、配線の段差切れ、フォトリソ精度の向上、ひいては集積度を向上させ、またこれらを形成した上に低損失の光導波路を実現させる光・電子複合半導体装置およびその作製方法を提供することを目的とする。

(3)

3

【0008】

【課題を解決するための手段】前記目的を達成する本発明に係る複合半導体回路装置の構成は、Si基板上に並んで形成された、III族-V族電子・光素子とSiLSIとを有し、前記III族-V族電子・光素子とSi素子間とが配線された基板において、横方向の前記配線が平坦に形成されていることを特徴とする。

【0009】前記構成において、III族-V族素子がSi-LSIに比べ、上面は同等の位置にあるが、下面は下方より形成され、III族-V族素子の厚みが厚くなっていることを特徴とする。

【0010】また、他の複合半導体回路装置の構成はSi基板上に並んで形成された、III族-V族電子・光素子とSiLSIとを有し、前記III族-V族素子とSi素子間とが電気・光配線された基板において、横方向の前記電気・光配線が平坦に形成されていることを特徴とする。

【0011】一方の本発明に係る複合半導体回路装置の作製方法はSi基板上に化合物半導体をヘテロエピタキシャル成長した複合半導体基板上に、電気および光素子を形成する工程において、(1) Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる工程と、(2) 表面全体に亘って平坦化材料からなる第一の平坦化膜層で表面凹凸より厚く覆う工程と、(3) 上記第一の平坦化膜層の表面を研磨により平坦化する工程と、(4) 平坦化された、選択成長した半導体の上に所望の素子構造を成長させる工程と、(5) 表面全体に亘って平坦化材料からなる第二の平坦化膜層で表面凹凸より厚く覆う工程と、(6) 上記第二の平坦化膜層の表面を研磨により平坦化する工程と、(7) 平坦化した平坦化材料の一部に、下地Si基板あるいは選択成長した半導体基板あるいはそれらに形成された電極まで穴を開ける工程と、(8) その穴に配線材料を堆積させ、表面で配線する工程とを含む、ことを特徴とする。

【0012】上記構成において、上記Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる際に、あらかじめ化合物半導体を成長させる部分のSi表面を掘り込んでおき、続く、表面平坦化工程後においても、III族-V族半導体膜厚を厚く形成することを特徴とする。

【0013】上記構成において、平坦化材料を研磨する際に、研磨を停止させる、研磨速度の遅い材料を、所望の厚さの箇所に配設することを特徴とする。

【0014】上記構成において、平坦化膜層の表面に配線を形成した該平坦表面で第1層の光配線を形成した後、平坦化材料からなる第三の平坦化膜層で表面凹凸より厚く覆った後表面研磨により平坦化し、次いで、前記第1層の光配線と略直交する第2層の光配線を形成することを特徴とする。

【0015】すなわち、本発明は、(1) 平坦化物を厚

4

く積んで、平坦化に実績のある研磨により平坦化して、次の工程に進む方法を採用すると共に、(2) III族-V族をヘテロエピさせる前に、III族-V族成長させる部分を掘り込んでおいて、上記方法による平坦化凹凸を少しでも少なくすること、(3) 平坦化材の研磨をセルフアライン(縦方向)的に自動的に停止させるマークを入れて、研磨に要求される条件を緩くし、再現性向上が得られること、(4) 上記で平坦化されているので、従来の光導波路技術(含むフォトリソ工程)を光・電子回路(半導体)を集積した後に作製することが、可能となり、電子配線と光配線を組み合わせることが可能となる。換言すると、これまでのSiLSI、III族-V族光電子技術を損うことなく、いわゆるボード内、チップ内光インタコネクションを、実現させようとするものである。

【0016】

【実施例】以下、本発明に係る一実施例を図面を参照して説明する。

(実施例1) 図1は本実施例に係る複合半導体回路装置の概略図である。同図に示すように本装置は、Si基板11上に並んで形成してなるIII族-V族電子・光素子12とSiLSI13とを有すると共に、これらを覆う平坦化層14の平坦面から各々鉛直方向に形成された配線用穴15内に配線材料を埋め込み配線16を施してなるものである。

【0017】図2にGaAs/Siを例に、第1の実施例を説明する。Si基板11上にSiLSI12を作製する。一部の領域をGaAs領域として、なにも形成されていないSi表面が露出している。この基板上にGaAsを選択成長する工程を行う。まず、SiO₂膜21をCVD法により積層する。そして、フォトリソ工程により、GaAsを成長すべき部分のSiO₂膜21をエッチングし、Si基板11を露出させる(図2(A))。

【0018】GaAsは気相成長法により成長させる工程であるが、SiO₂膜21上には成長せず、Si表面のみに選択的にエピタキシャル成長させることが可能である。この様にしてGaAs層22を約4μm選択成長させた(図2(B))。

【0019】続いて、第一の平坦化膜層としてのSiO₂平坦化膜23をCVD法により、約5μm積層させた(図3(A))。この膜厚は、Si表面から見て、最も厚いGaAs表面(4μm)に比較して、1μm厚く設定させてある。その後、化学機械研磨により、SiO₂平坦化膜23をSi表面から3μmの厚みになるまで、GaAs層22と共に研磨平坦化させた(図3(B))。

【0020】この結果、表面平坦性は、凹凸にして50Å以下となった。SiO₂平坦化膜23の平坦化と同時に、GaAs層22表面もSiO₂表面と同じ高さまで

50

(4)

5

研磨された。これは、GaAs層22の研磨速度がSiO₂に比較して、速いため、SiO₂平坦化を行うと自動的にGaAs表面もSiO₂表面と同じ面で平坦化されるという特徴を有している。

【0021】続いて、SiO₂平坦化膜23とGaAs層22とが露出している表面にGaAs、AlGaAsからなる電子素子（本実施例ではHBT (hetero BiPolar Transistor) 24と、HEMT (High Electron Mobility Transistor) およびFET) とGaAs、AlGaAsからなる光素子（LD (Laser Diode) とPD (Photo Detector)）25とを作製した（図4（A））。ここでは、図2（B）の工程で示した様に、SiO₂膜により選択成長が行われ、GaAs層22の表面が露出している部分のみに、電子・光素子26を作製することができ、GaAs電子・光素子12を形成した。素子膜厚は厚い所で、約1μmであった。

【0022】続いて、平坦化のために、第二の平坦化膜層としてのSiO₂平坦化膜27を約2μm積層した（図4（B））。その後、化学機械研磨により、SiO₂平坦化膜27をSi基板11の表面から4.3μmの厚みになるまで、研磨平坦化させた（図5（A））。表面平坦性は、凹凸にして50Å以下となった。

【0023】次にSiLSI13、GaAs電子・光素子12の電極部分に、配線用の穴開けを行う。フォトレジストを均一にぬり、マスクで露光し、RIEでSiO₂平坦化膜27を選択的にエッチングするという通常のフォト工程を行った。ここで、SiO₂平坦化膜27表面が平坦（＜50Å）であるため、フォトの切れが良く、フォト装置の限界（本装置、本工程では0.1μmの線幅精度）まで、細い穴15を開けることができた（図5（B））。原理的には、装置の精度が向上すれば線幅50Å程度まで可能と考えられる。

【0024】その後、CVD法により配線金属を付着させ、配線16を施した。ここでは、SiO₂の穴開け（ピンホール）部に乱れなく、断線せずに接続される。ふたたび、表面からフォト工程により望みの配線16を施すことができた（図1）。

【0025】尚、ここでは、省略したが、本配線後、図5（A）、図5（B）、図1に示す各工程を繰返すことにより、配線16を多層化することも可能である。実際に3重の配線を行ったが、配線の精度その他にはなんら変化無く、多層化することが可能であった。

【0026】（実施例2）図2にInP/Siを例に、第2の実施例を説明する。Si基板上に配線工程を残した、SiLSIを作製する。この基板上にInPを選択成長する工程を行う。本実施例では、InP層の選択成長すべき領域として、あらかじめ8μmの凹部31をSi基板11に掘りこんでおいた。

【0027】まず、SiO₂膜21をCVD法により積層する。そして、フォトリソ工程により、InPを成長

6

すべき部分のSiO₂膜21をエッチングし、Si基板11を露出させる（図6（A））。

【0028】実施例1では、InPを成長させるSi表面は、他のSi表面と同一であったが、本実施例2では、InP成長部分は、上述したように凹部31としている。

【0029】この凹部分の作製方法としては、2通の方法を行った。

【0030】その1つは、実施例1における図2（A）の工程の後に凹部31を形成する方法である。図2（A）の工程で、SiO₂膜21をエッチングし、更にSi基板もエッチングし、図6（A）に示す様に、Si表面から、約8μmの凹部31になるようにした。このSi基板11のエッチングとして本実施例では、SiO₂膜21をエッチングするフォトレジストをそのまま残しておき、RIE（リアクティブイオンエッチング）法により、凹部31に形成した。尚、その他のSiドライエッチング技術、ウェットエッチング技術、その他従来から知られている技術、方法を用いることが可能であることはいうまでもない。

【0031】他の1つの方法は、SiLSI13を形成する前に、Si基板11のうち、InPを成長させる領域を上記の方法により凹部31をに形成しておく方法である。本実施例では、上記2つの方法両方を用いたが、どちらも同様の効果が得られた。この凹部の形成時期については、SiLSI形成工程との関連において、有利な方を用いることができる。

【0032】InPは気相成長法により成長させる工程であるが、SiO₂膜21上には成長せず、Si基板11の表面にエピタキシャルに選択的に成長させることが可能である。この様にしてInP層32を約10μm成長させた（図6（B））。

【0033】続いて、第一の平坦化膜としてのSiO₂平坦化膜23をCVD法により、約3μm積層させた（図7（A））。この膜厚は、Si表面から見て、最も厚いInP表面（2μm）に比較して、1μm厚く設定させてある。その後、化学機械研磨により、SiO₂平坦化膜23をSi基板11の表面から1μmの厚みになるまで、研磨平坦化させた（図7（B））。

【0034】表面平坦性は、凹凸にして50Å以下となった。SiO₂平坦化膜23の平坦化と同時に、InP層32表面もSiO₂表面と同じ高さまで研磨された。これは、InPの研磨速度がSiO₂に比較して、速いため、SiO₂平坦化を行うと自動的にInP表面もSiO₂表面と同じ面で平坦化されるという特徴を有している。続いて、SiO₂とInPが露出している表面にInP、InGaAsPからなる電子素子（本実施例ではHBT (Hetero BiPolar Transistor) 33とHEMT (High Electron Mobility Transistor) およびFET) とInP、InGaAsPからなる光素子（LD (Lase

(5)

7

r Diode)とPD (Photo Detector)) 34を作製し電子・光子35を得た(図8(A))。

【0035】ここでは、先に示した様に、 SiO_2 により選択性が保たれ、InPが露出している部分のみに、電子・光子35を作製することが可能であった。素子膜厚は厚い所で、約 $1\mu\text{m}$ であった。

【0036】続いて、平坦化のために、第二の平坦化膜として SiO_2 平坦化膜27を約 $2\mu\text{m}$ 積層した(図8(B))。その後、化学機械研磨により、 SiO_2 平坦化膜27をSi表面から $3.3\mu\text{m}$ の厚みになるまで、研磨平坦化させた(図9(A))。表面平坦性は、凹凸にして50Å以下となった。

【0037】次に、SiLSI13, InP電子・光子36の電極部分に、配線用の穴開けを行う。フォトレジストを均一にぬり、マスクで露光し、RIEで SiO_2 平坦化膜27を選択的にエッチングするという通常のフォトリソ工程を行った。ここで、 SiO_2 平坦化膜27表面が平坦(<50Å)であるため、フォトリソの切れが良く、フォトリソ装置の限界(本装置、工程では $0.1\mu\text{m}$ の精度)まで、細い穴15を開けることができた(図9(B))。

【0038】その後、CVD法により配線金属を付着させた。ここでは、 SiO_2 の穴開け(ピンホール)部に乱れなく、断線せずに接続される。ふたたび、表面からフォトリソにより望みの配線16を形成することができた(図10)。

【0039】本実施例では、あらかじめInP層32の成長領域を掘り込んで凹32を形成してあるため、Si表面上の構造を実施例1と同じ厚みとしても、出来上がったInP層32の膜厚が、掘り込んだ $8\mu\text{m}$ 分だけ厚くすることができる。InPはGaAsと比較して、III族-V族/Siとしては、比較的厚くてもクラックの発生が少ない(従来の技術参照)。従って、高品質化に $10\mu\text{m}$ 程度あった方が有利である。

【0040】実施例1, 2では、平坦化膜として SiO_2 を用いた例を示したが、その他に SiN_x , Si_3N_4 , ポリイミドを同様に実施したが同様の結果が得られた。この様に平坦化膜としては、化学機械研磨により平坦化でき、かつ、各素子、配線等に影響を及ぼさない材料であれば、全て利用できる。また、平坦化膜の作製方法においても同様に多種多用(スピニングガラス, CVD, スパッタ成膜, 塗布等)の方法を用いることができる。

【0041】(実施例3)次に化学機械研磨の際に、研磨停止層を挿入する場合を説明する。

【0042】ほとんどの工程は、実施例1と同じである。異なる工程を以下に示す。

【0043】実施例1と同様に操作して図2(B)に示すSi基板11の表面のみにGaAs層22を選択成長させた。

8

【0044】次に、 SiO_2 膜21と比較して研磨速度の違い Si_3N_4 膜41を、 $2.95\mu\text{m}\pm 0.05\mu\text{m}$ で研磨停止層として積層した(図11(A))。

【0045】次に、平坦部において、 Si_3N_4 膜41を選択的にエッチングする(図11(B))。更に、第一の平坦化膜として SiO_2 平坦化膜23を $5\mu\text{m}$ 積層する(図12(A))。

【0046】その後、化学機械研磨により、 SiO_2 平坦化膜23の研磨を行う。この際研磨終了を実施例1と同じ様に $4.3\mu\text{m}$ を目標にするが、それよりも約 $0.1\mu\text{m}$ オーバー研磨を行った。しかしながら、 Si_3N_4 は SiO_2 と比較して研磨速度が遅いため、研磨は Si_3N_4 層41の所で停止する(図12(B))。

【0047】これは、実施例1では、研磨停止が、Si基板11と研磨布との平行度で決定され、その位置精度で残された SiO_2 膜分布が決定する。すなわち精度が必要であった。それに比較し、本実施例では、研磨停止が研磨停止剤(Si_3N_4)で決定されるため、平行度の精度は必要ない。その結果、研磨機械が安価で済む。

20 特別の技術が無くとも、再現性に優れた研磨面が得られるという特徴を有する。尚、第二の平坦化膜層を形成して平坦化層を形成する図4(B)～図5(A)に示した工程においても、同様の研磨停止を入れて、同様に操作した結果、平行度の精度が必要なかった。

【0048】(実施例4)次に第4の実施例として、基板の一部に選択成長し、その選択成長表面を平坦化した例を示す。

【0049】実施例1～3では問題に成らない成長条件で行ったが、化合物半導体の成長方法、条件により、選択成長がうまく達成できない場合がある。

【0050】その例として、エッジグロース、選択マスクへの多結晶成長がある。

【0051】エッジグロースとは、選択成長において、選択成長マスク近傍が目的とする成長速度より速くなる現象である。これは、未成長の選択マスク上の成長原料が気相拡散あるいは成長面マイグレーションにより選択成長領域に運ばれ、選択成長の選択成長マスク近傍の成長速度が速まるものと理解されている。

40 【0052】選択マスクへの多結晶等の成長とは、本来、選択マスクにはなにも成長しないはずであるが、成長条件によっては、(例えば、成長の加飽和度が高すぎる場合など)選択マスク上にも化合物半導体が析出する。この析出物も表面凹凸として、後工程に各種の障害を与える。

【0053】実施例2と同様に操作して、InPを成長するべき所のSi表面を露出させ、成長させたくない所は、 SiO_2 膜21を選択成長膜とした(図13

50 (A))。本実施例では、成長時間を短縮させるためすなわち、成長時間を短くして、スループットを上げる目的のために加飽和度を上げた。

(6)

9

【0054】そのため、①InP成長領域においては、目的とするInP層32の成長膜厚以上がSiO₂選択成長膜近傍で成長（エッジグロス）32aした、②選択成長膜上にも、結晶32bが成長した（図13（B））。

【0055】これらは、次の工程において問題となる。本実施例では、この状態において、同様に平坦化膜としてのSiO₂平坦化膜23を積層した（図14（A））。

その後、化学機械研磨により平坦化を行った（図14（B））。

【0056】その結果、エッジグロス32a、多結晶32bの選択成長膜への成長等が有ったにもかかわらず、表面が平坦化された（同図14（B））。

【0057】InP選択成長領域は、エッジグロス32aがあつたにもかかわらず、平坦なInP面が作成された。

【0058】多結晶32bは、平坦化材（ここでは、SiO₂）内に存在するが、表面としては、平坦化が実現された。

【0059】（実施例5）次に、第5の実施例として、光-電子融合に加え、光導波路も一緒にした例を示す。工程としては、実施例2の図10に示した配線工程の後（図15（A））に、次の工程を行った。

【0060】実施例2で配線工程を行った後、光発光素子（ここでは、装置表面方向からの光の入出力が行われる）間の表面に、高屈折率の光導波路51を作製した（図15（B））。ここでは、図16に示す様に、発光受光素子12からの光は、斜に作製された導波路51により全反射され、横方向に伸びる光導波路51へ光が効率良く方向転換されている。この段階で、光配線、電気配線が完成し、目的を果たしている。

【0061】本実施例では、さらに光配線を2重化した。平坦化材52を配線段差より厚い膜厚で積層し、化学機械研磨により平坦化を行った（図17（A））。

【0062】その後CVDとフォトリソエッチング等により、光導波路を所望の発光素子と受光素子間に光配線を行った（図17（B））。ここでは、光配線の2重化として、横方向を第1層の光導波路51A（図17（B））、紙面方向を第2層の光導波路51B（図17（B））とした（図18の平面図参照）が、これらを適

当に組み合わせることはもちろん可能である。また、第2層目の光配線の工程において、電気配線を同時に実施することも可能である。

【0063】本実施例において、化合物半導体による発光受光素子は、他の素子等に較べて、高い位置にあり（換言すると、発光受光素子と光導波路との距離が短い）ため、光洩れが少なく、良い光結合（光配線）が実現された（III族-V族結晶が厚膜であることが、本実施例においては有効な良い方向に現れている）。

【0064】ここで、本実施例においては、光配線工程

10

において、表面は平坦化が成されており（50Å以下）、光導波路として損失あるいは外部への漏洩（クロストークに係する）はきわめて少ない物を実現することが可能となった。

【0065】尚、電気配線工程と光配線工程を逆にして、光配線工程の後に、電気配線工程を行っても、同様の動作特性を有していた。

【0066】尚、本実施例では、発光受光方向を面発光として、光配線は横方向とした。そして、光の横-縦斜方向への変換を、斜に作製した全反射面を利用して行っている。

【0067】その他に、面方向の光を横方向に変換するにはグレーティングによる方法も実施した。また、キャビティを形成する横方向のLDや受光素子において、①斜に作製した全反射②グレーティング③導波路間の干渉等により、第1の光配線と第2の光配線を結合させるなど行つたが、従来の平面上に作製した光配線（導波路）と同程度の特性を有するものが得られた。その他に、既存の導波路技術を全て適用できることは言うまでも無い。

【0068】（実施例6）上記方法により作製した複合半導体回路装置の特徴を示す。

【0069】平坦上に電気配線を行うため、従来の方法で必要であつた段差上の配線が不要となった。従来、段差上に配線した場合、その部分の配線が薄くなり、回路装置稼働中に配線がきれるなど信頼性に問題があつた。本回路装置においては、平坦な部分でのみ配線されているため、段差によるこの劣化の問題はなくなり、回路装置の信頼性（配線の寿命試験）は、従来の平坦部の配線と同様になり、格段の向上が得られた。

【0070】また逆に、従来法においては、上記信頼性を確保するために、配線の幅あるいは厚みを厚くする方法が必要であつた。換言すると、配線幅規制は、平坦部のそれで決まるのではなく、段差部で決まっていた。そのため、例えば本実施例の半導体回路装置作製装置において、平坦部においては0.1μmの線幅精度を有しているにも拘らず、従来法においては、段差部の上記信頼性を維持するために、線幅として、0.5μmまでしか確保できなかった。本実施例の場合、このようなことはなく、装置性能の0.1μmとしても、信頼性、歩留りに悪影響をあたえることはない。従って、本発明の半導体回路装置は、従来の物に比較して、高集積の複合半導体回路装置を得ることができた。

【0071】光配線においても、上記電気配線と同様の特性を有している。更に、光配線においては、下記の特徴を有し、従来法では不可能である複合半導体回路を実現できた。

【0072】従来の段差上の光配線においては、横方向の光配線であるにも拘らず、段差に従い、配線が上下方向に変化していた。導波路により光のとじ込めが成され

(7)

11

ているとはいえ、この段差により、光の散乱、導波路外への漏洩等により、光配線を伝わる光の損失、光漏洩による配線間のクロストーク、シングルモードの崩壊が生じた。そのため、細い光配線、長距離の光伝送が不可能であった。その一例として、 $3\mu\text{m}$ の段差においては、約3dBの損失があった。本実施例の場合、それらの問題が全て解決されているという特徴を有している。

【0073】また、光配線において、その伝播特性は、導波路の界面の平坦性が大きな要因となる。導波路の界面に凹凸がある場合、光はそこで、散乱され、伝播損失の増大、外部への光の放出が生じて、導波路特性を著しく悪化させる。従来、段差上で導波路を作製した場合、フォトリソの焦点深度の関係から、フォトリソの切れを良くすることができなかった。そのため、段差が大きくなると、導波路の界面（外壁）に凹凸が発生した。段差 $3\mu\text{m}$ においては、 $1\mu\text{m}$ の凹凸が発生していた。 $1\mu\text{m}$ の凹凸では、 $1.5\mu\text{m}$ の光をシングルモードを伝播させることは不可能であった。しかしながら、本実施例においては、界面の凹凸は、 $0.03\mu\text{m}$ 以下に制御されており、伝播効率に格段の向上がみられ、チップ内の伝送（約4mm）においてはその損失が1dB以下になっている。

【0074】この様に、本発明の複合半導体装置は、上下方向、横方向（界面の凹凸）両方の、光導波路の界面平坦性（直線性）が向上していると言う特徴を有しており、従来の技術では得られない、光配線特性を有している。

【0075】半導体部分が厚くなっているため、III族-V族化合物半導体の結晶性が向上している。従来法により作製した場合、本実施例と同じ結晶性を得ようとする、換言すると、同等のIII族-V族半導体素子特性を得ようとする、III族-V族半導体素子の上面が、Si-LSIの上面より高い位置になる。そのため、光・電気配線において、縦方向の配線が長くなるという不利があった。本発明回路装置においては、III族-V族回路装置も、Si回路装置も上面は同じ高さとなり、縦方向の配線が短く実現されている。配線が短くなり、電気・光配線による伝播効率が向上するという特徴を有している。

【0076】

【発明の効果】本発明によれば、III-Vヘテロエピタキシャル生長、III-V素子形成（成長）、フォトリソ工程、配線等を平坦な表面上で行うことが可能となり、凹凸に起因する、配線の段差切れ、フォトリソの焦点深度差によるボケ等が解決できる。従って、高集積が可能とな

12

る。その結果応答が高速になる。また従来の技術では、損失が大きく、実現不可能と考えられていた、光導波路を、光素子を形成した上に作成することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係る複合半導体回路装置の概略図である。

【図2】第1の実施例の工程図である。

【図3】第1の実施例の工程図である。

【図4】第1の実施例の工程図である。

【図5】第1の実施例の工程図である。

【図6】第2の実施例の工程図である。

【図7】第2の実施例の工程図である。

【図8】第2の実施例の工程図である。

【図9】第2の実施例の工程図である。

【図10】第2の実施例の工程図である。

【図11】第3の実施例の工程図である。

【図12】第3の実施例の工程図である。

【図13】第4の実施例の工程図である。

【図14】第4の実施例の工程図である。

【図15】第5の実施例の工程図である。

【図16】斜全反射による光配線図である。

【図17】第5の実施例の工程図である。

【図18】光配線（二重）、電気配線の平面図である。

【図19】従来の複合半導体回路装置の概略図である。

【符号の説明】

11 Si基板

12 GaAs電子・光素子

13 SiLSI

14 SiO₂膜

15 穴

16 配線

21 SiO₂膜

22 GaAs層

23, 27 SiO₂平坦化膜

24, 33 電子素子

25, 34 光素子

26, 35 電子・光素子

31 凹部

32 InP層

40 32a エッジグロース

32b 結晶

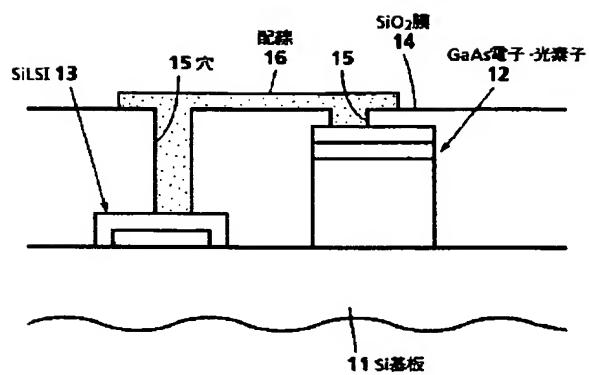
36 InP電子・光素子

41 Si₃N₄膜

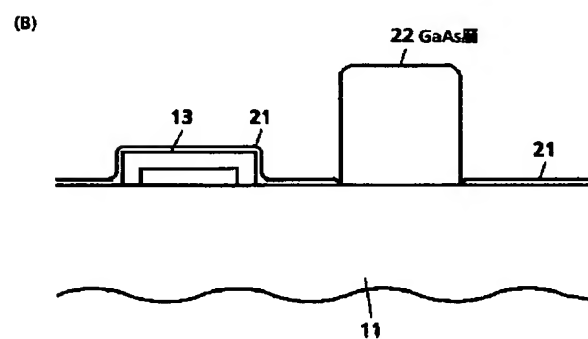
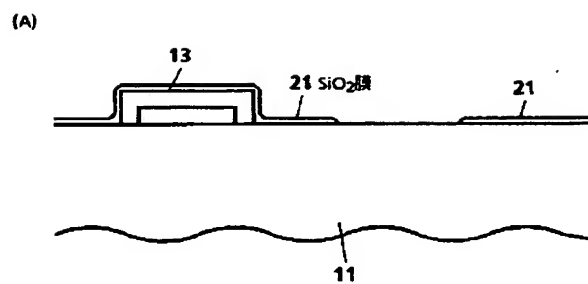
51 光導波路

(8)

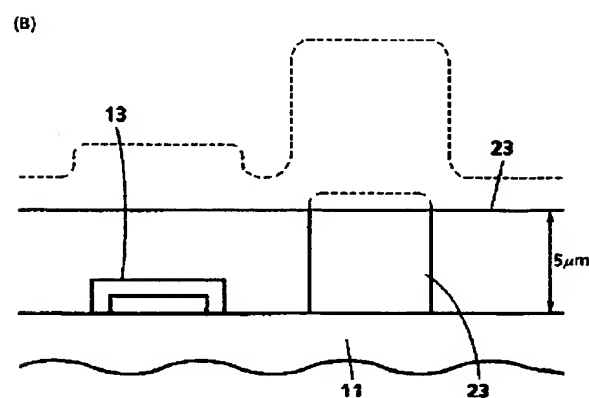
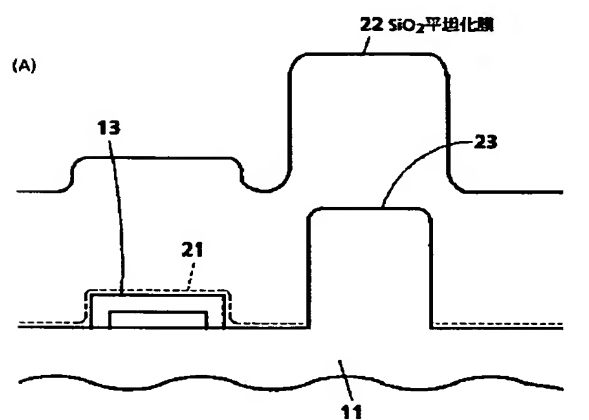
【図1】



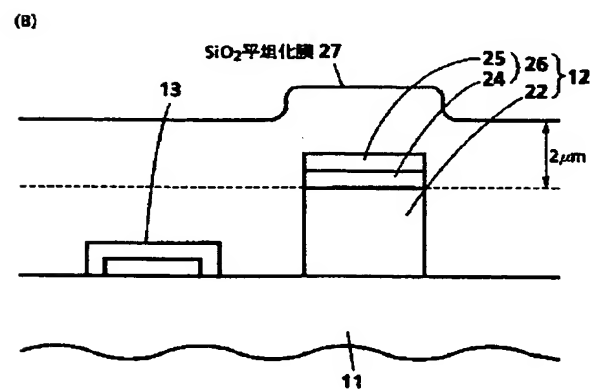
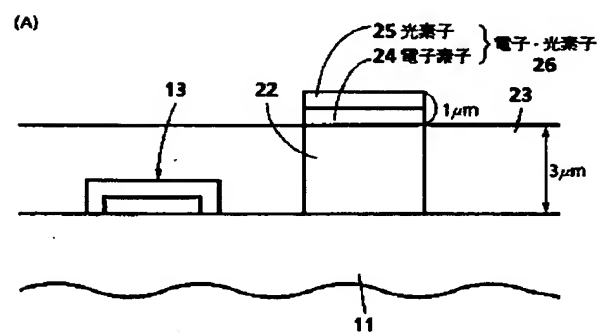
【図2】



【図3】

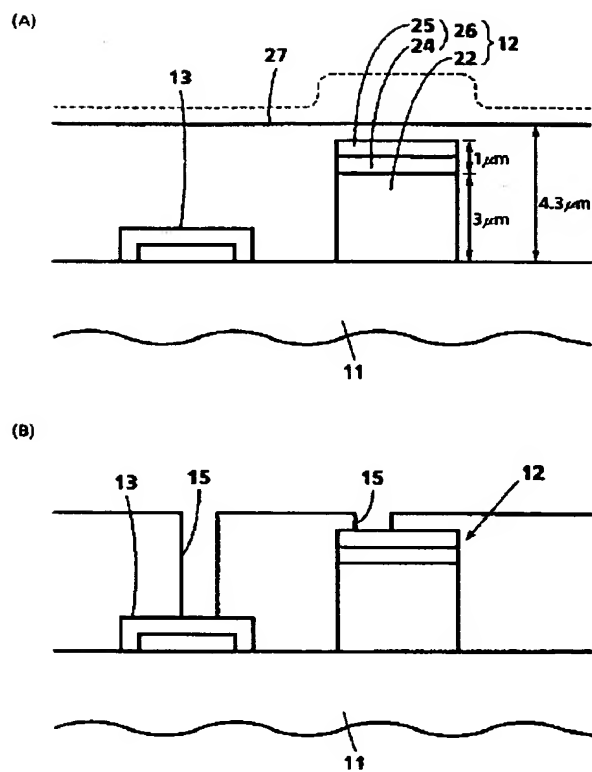


【図4】

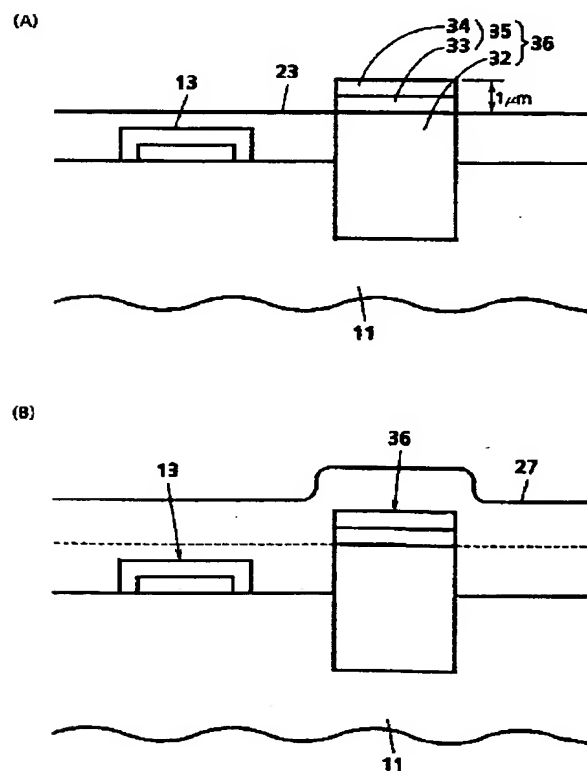


(9)

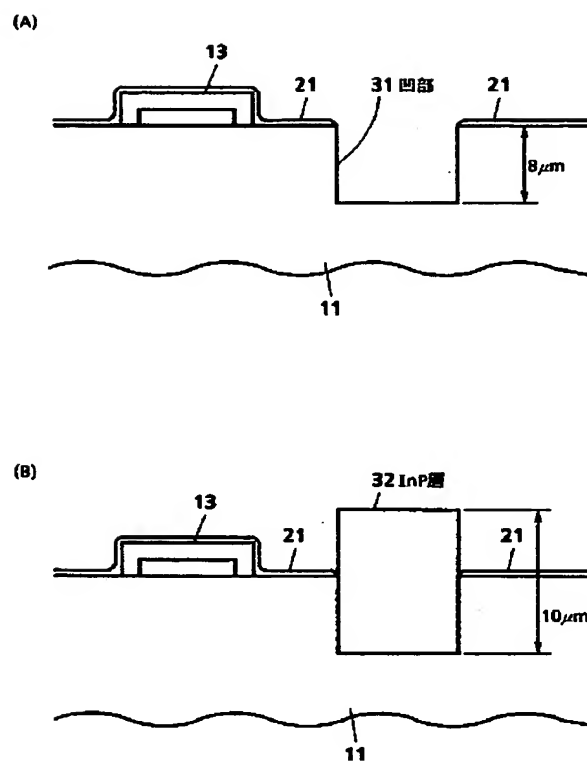
【図5】



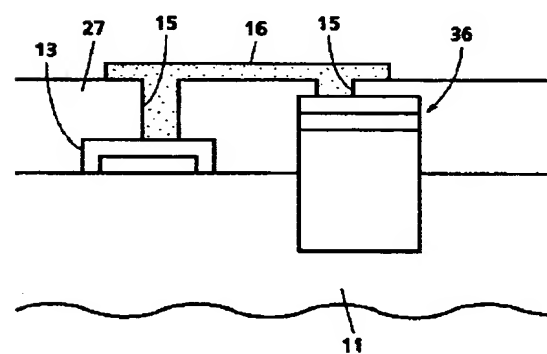
【図8】



【図6】

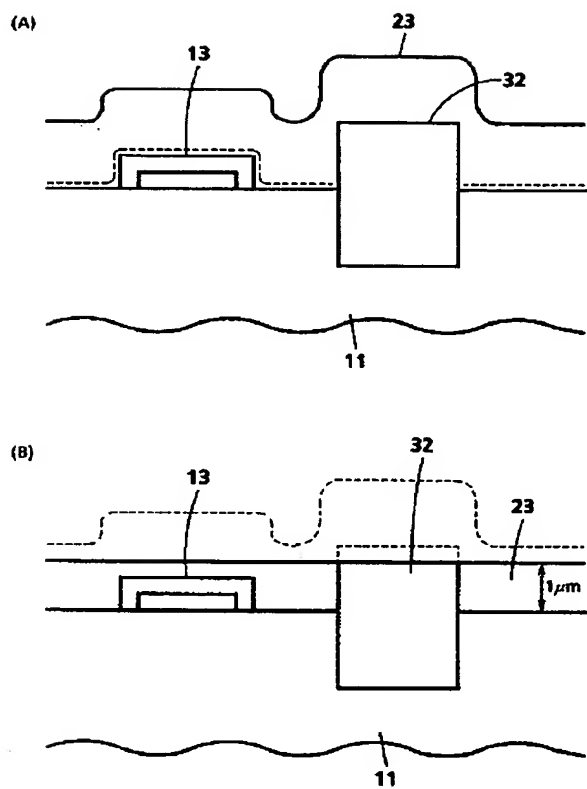


【図10】

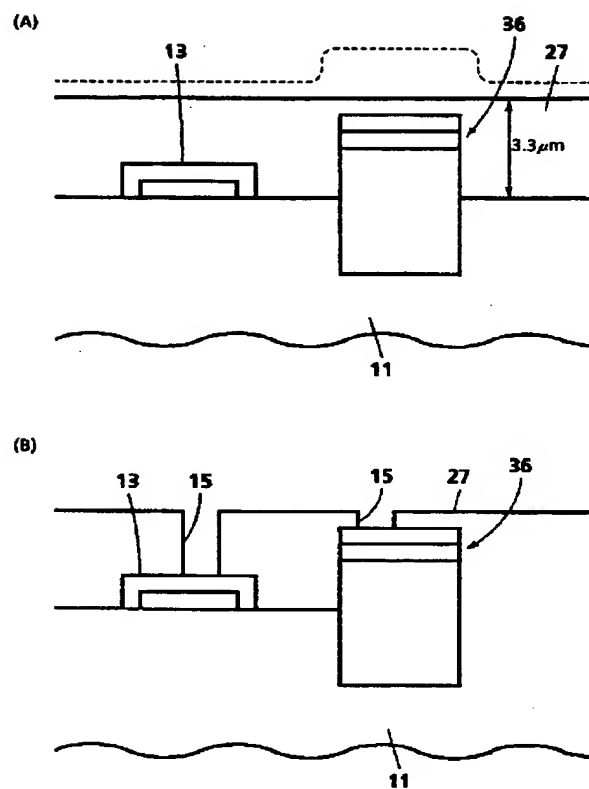


(10)

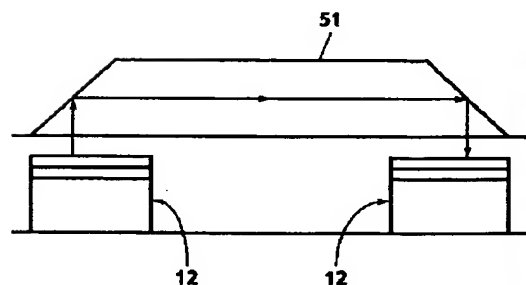
【図7】



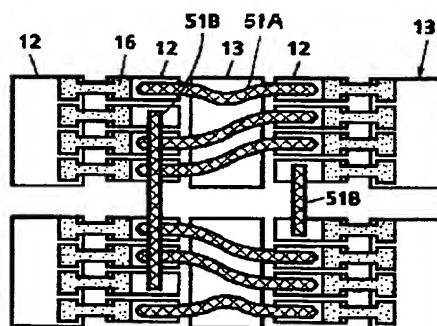
【図9】



【図16】

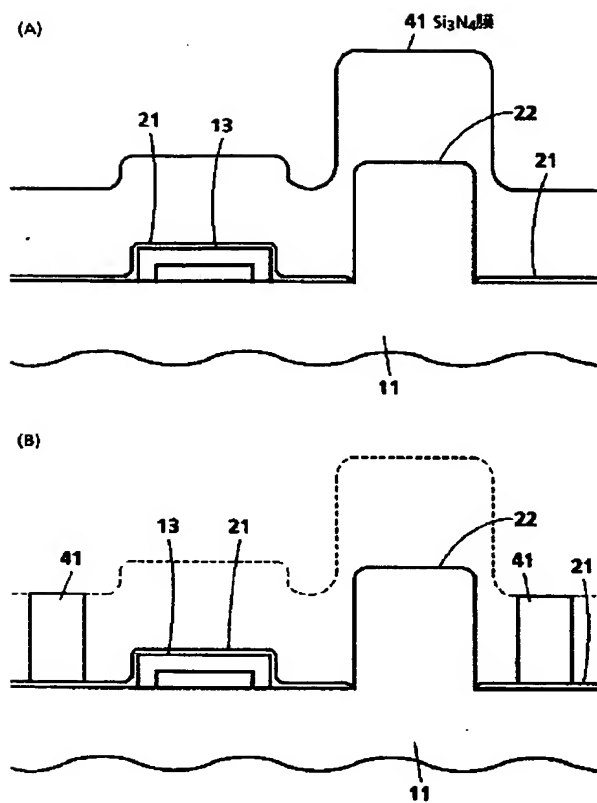


【図18】

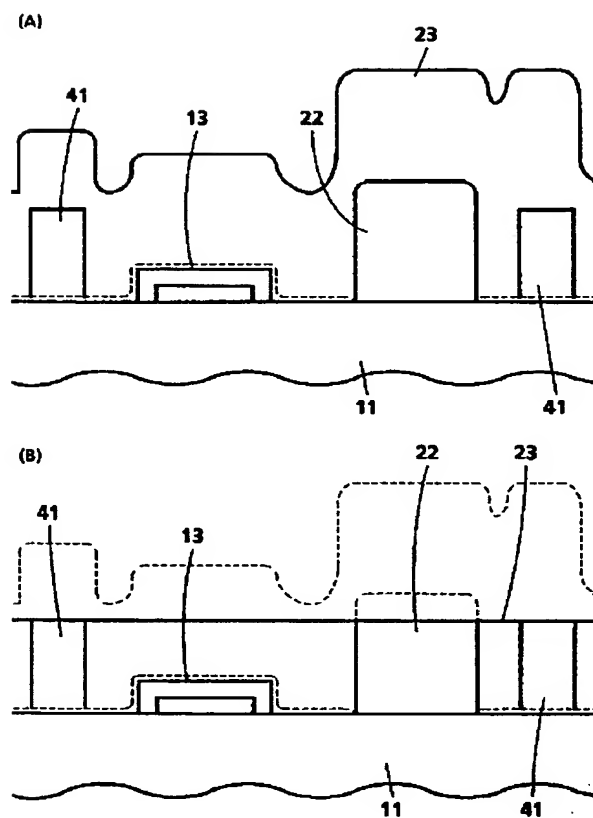


(11)

【図 1 1】

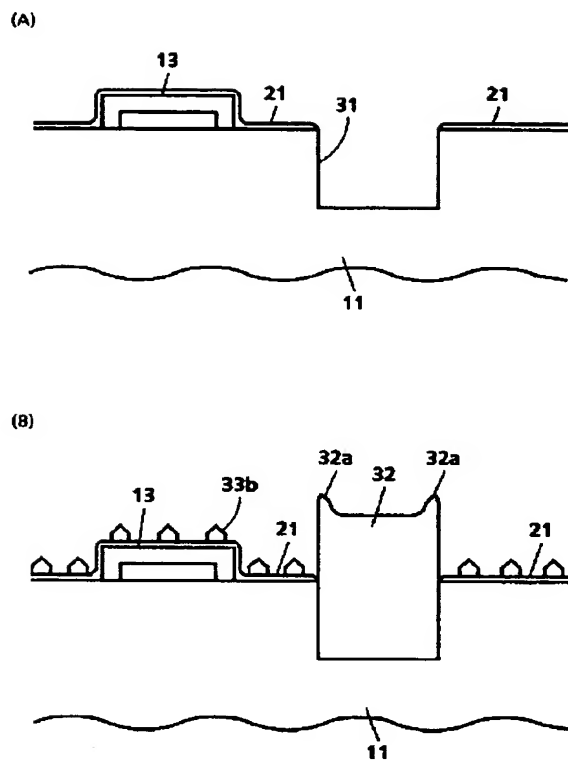


【図 1 2】

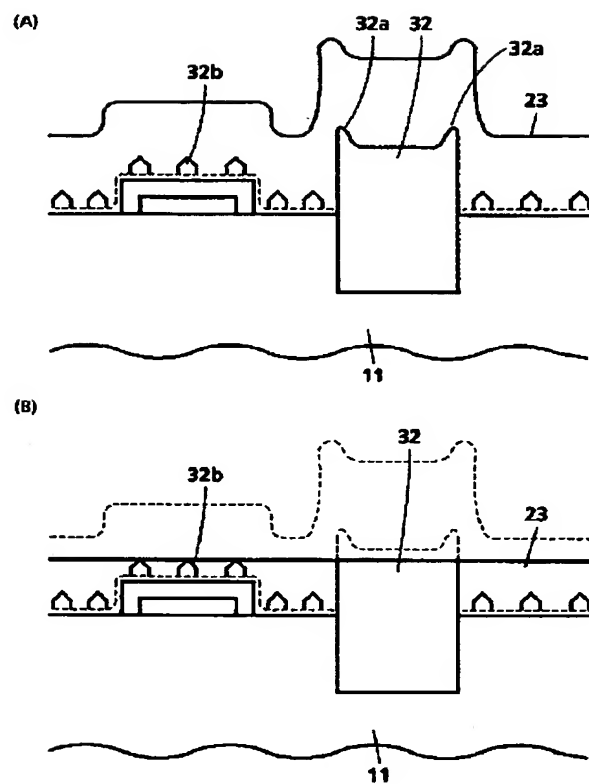


(12)

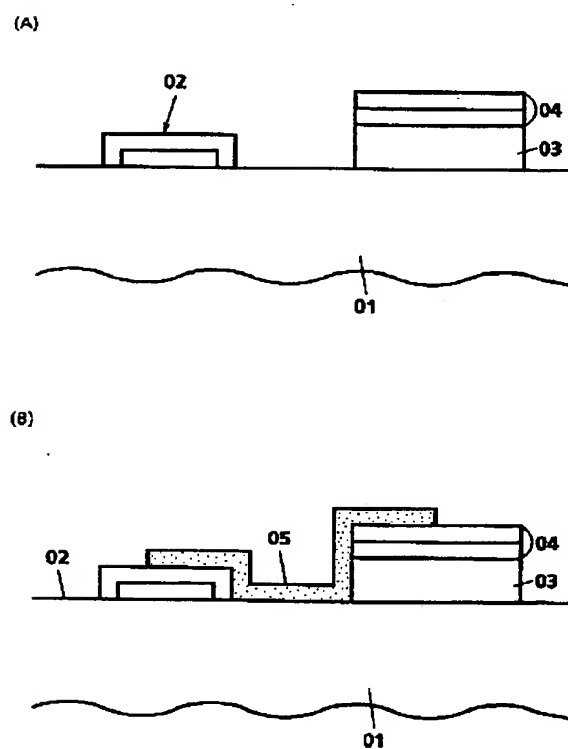
【図13】



【図14】

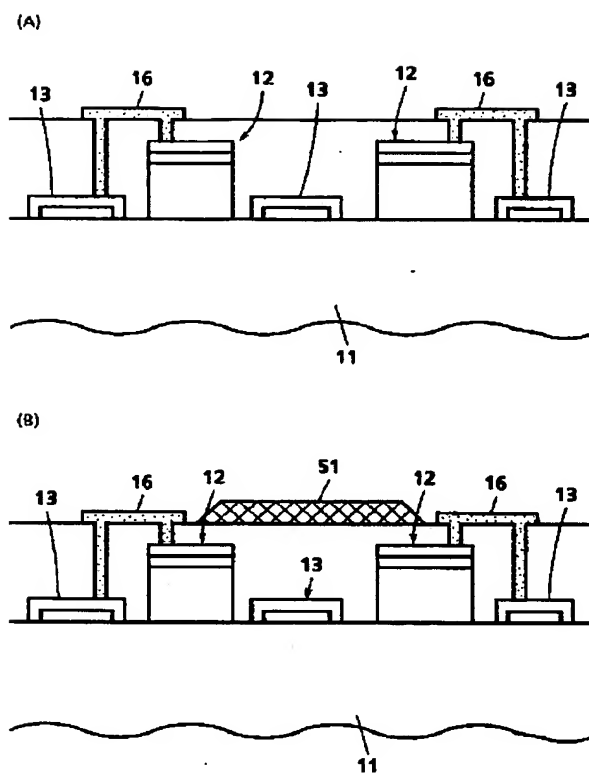


【図19】

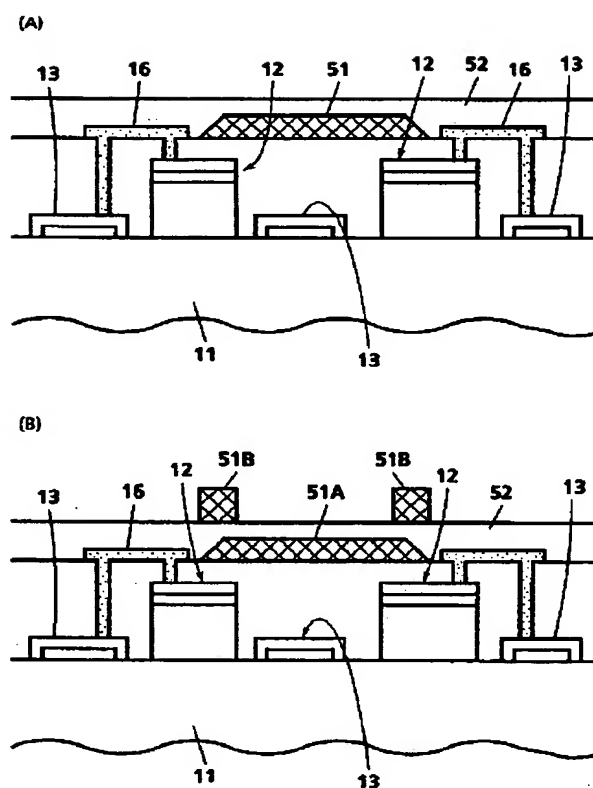


(13)

【図15】



【図17】



フロントページの続き

(72)発明者 須郷 満
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 佐々木 徹
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 小林 二三彦
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内